

DIALOG(R)File 351:Derwent WPI
(c) 2004 Thomson Derwent. All rts. reserv.

010818083 **Image available**
WPI Acc No: 1996-315036/ **199632**
Related WPI Acc No: 1997-251447
XRAM Acc No: C96-100156
XRPX Acc No: N96-265194

Thin film capacitor for semiconductor memory e.g. DRAM - in which lattice constants of dielectric material in perovskite type crystal structure and electrically conductive crystal structure of tetragonal system are related by specified relationship

Patent Assignee: TOSHIBA KK (TOKE)
Inventor: ABE K; EGUCHI K; FUKUSHIMA N; KAWAKUBO T; KOMATSU S; SANO K
Number of Countries: 002 Number of Patents: 003
Patent Family:

| Patent No | Kind | Date | Applicat No | Kind | Date | Week |
|-------------------|------|----------|-------------|------|----------|----------|
| JP 8139292 | A | 19960531 | JP 9582091 | A | 19950315 | 199632 B |
| <u>US 5739563</u> | A | 19980414 | US 95559945 | A | 19951117 | 199822 |
| US 5760432 | A | 19980602 | US 95418299 | A | 19950407 | 199829 |

Priority Applications (No Type Date): JP 94221340 A 19940916; JP 94106449 A 19940520; JP 95232509 A 19950911

Patent Details:

| Patent No | Kind | Lan | Pg | Main IPC | Filing Notes |
|------------|------|-----|----|--------------|--------------|
| JP 8139292 | A | | 28 | H01L-027/108 | |
| US 5739563 | A | | 26 | H01L-029/94 | |
| US 5760432 | A | | | H01L-027/108 | |

Abstract (Basic): JP 8139292 A

The thin film capacitor has an electrically conductive substrate (5) which consists of an electrically conductive material. The surface of the substrate has a crystal structure of tetragonal shape. A dielectric film (3) which consists of TiO₃ and having a perovskite type crystal structure is formed on this substrate. An upper electrode (4) is formed on this dielectric film.

The curie temperature of the dielectric material is less than 150 degrees centigrade. The lattice constant (ad) of the dielectric material of the perovskite type crystal structure and the electrically conductive lattice constant (as) of crystal structure of the tetragonal system are related to each other by satisfying a relation $1.002 \leq \frac{ad}{as} \leq 1.015$.

ADVANTAGE - Improves residual dielectric polarisation of capacitor depending on temperature range. Increases capacitance. Prevents reduction in coercive electric field and residual dielectric polarisation in capacitor.

Dwg.1/28

Title Terms: THIN; FILM; CAPACITOR; SEMICONDUCTOR; MEMORY; DRAM; LATTICE; CONSTANT; DIELECTRIC; MATERIAL; PEROVSKITE; TYPE; CRYSTAL; STRUCTURE; ELECTRIC; CONDUCTING; CRYSTAL; STRUCTURE; TETRAGONAL; SYSTEM; RELATED; SPECIFIED; RELATED

Derwent Class: L03; U12; U14

International Patent Class (Main): H01L-027/108; H01L-029/94

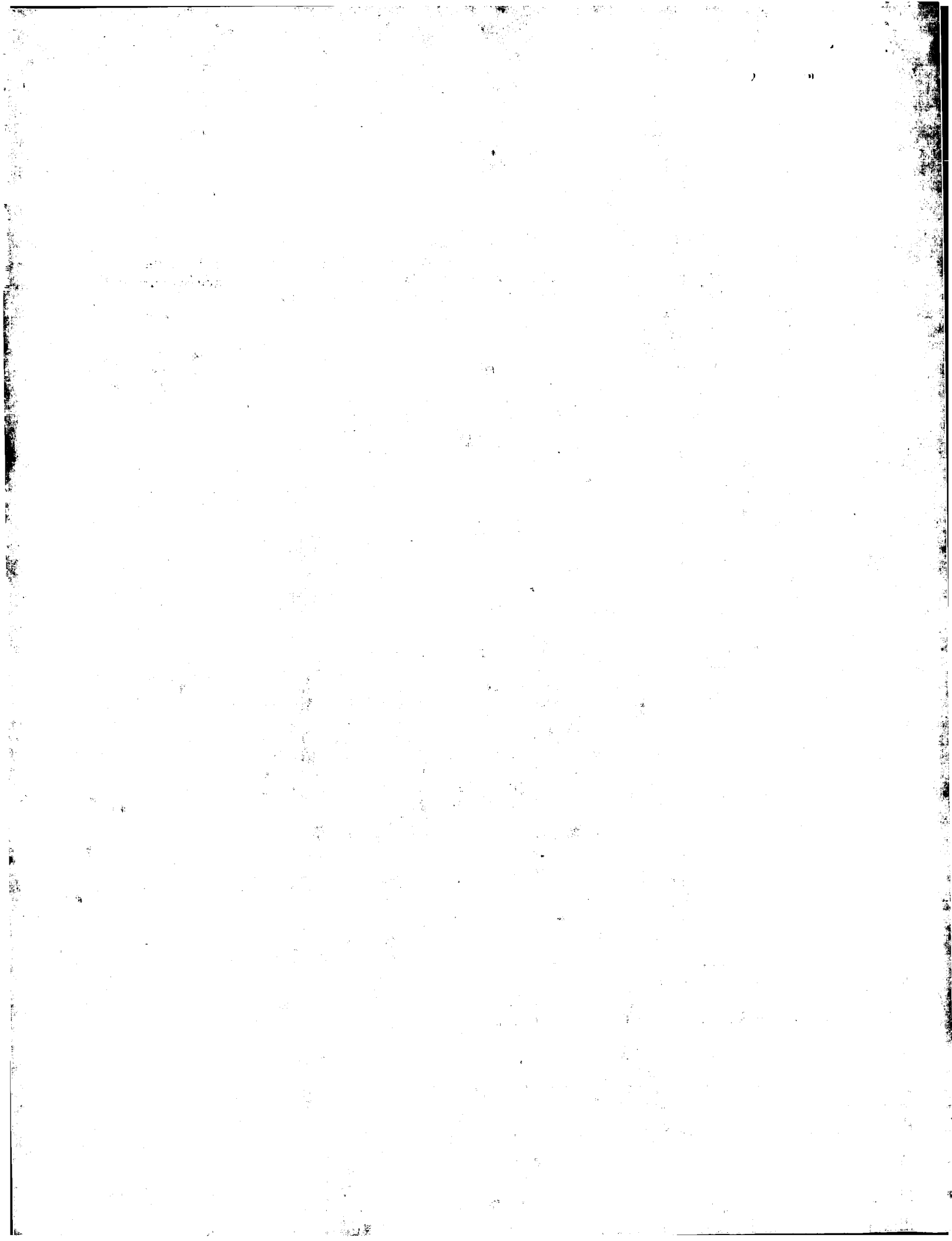
International Patent Class (Additional): H01L-021/822; H01L-021/8242; H01L-027/04

File Segment: CPI; EPI

Manual Codes (CPI/A-N): L03-G04A; L04-C14A

Manual Codes (EPI/S-X): U12-B03B; U12-C02X; U14-A03F

Derwent Registry Numbers: 1966-U



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-139292

(43) 公開日 平成8年(1996)5月31日

(51) Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 27/108
21/8242
27/04

7735-4M

H 0 1 L 27/ 10
27/ 04

6 5 1

C

審査請求 未請求 請求項の数13 F D (全 28 頁) 最終頁に続く

(21) 出願番号 特願平7-82091

(22) 出願日 平成7年(1995)3月15日

(31) 優先権主張番号 特願平6-106449

(32) 優先日 平6(1994)5月20日

(33) 優先権主張国 日本 (J P)

(31) 優先権主張番号 特願平6-221340

(32) 優先日 平6(1994)9月16日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 阿部 和秀

神奈川県川崎市幸区柳町70番地 株式会社
東芝柳町工場内

(72) 発明者 小松 周一

神奈川県川崎市幸区柳町70番地 株式会社
東芝柳町工場内

(72) 発明者 江口 和弘

神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝研究開発センター内

(74) 代理人 弁理士 鈴江 武彦

最終頁に続く

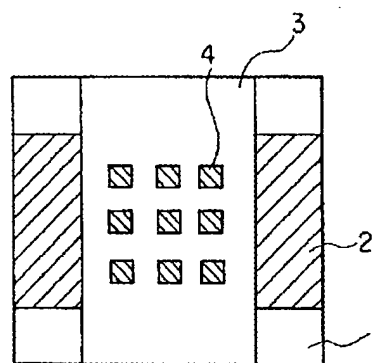
(54) 【発明の名称】 薄膜キャパシタ及び半導体記憶装置

(57) 【要約】

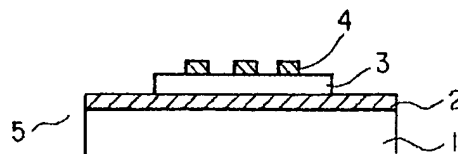
【目的】 誘電体膜が強誘電性を示す温度範囲が広く、残留分極の値が実用的に十分に大きな薄膜キャパシタを提供すること。

【構成】 表面が正方晶系の(001)面の結晶構造を有する導電性材料からなる導電性基板5と、この導電性基板5の上に形成されたペロブスカイト型結晶構造を有する(Ba_{0.85}Sr_{0.15})TiO₃(正方晶系)からなる誘電体膜3と、この誘電体膜3の上に形成された上部電極4とを具備した薄膜キャパシタにおいて、誘電性材料本来のキュリー温度が150℃以下で、ペロブスカイト型結晶構造のa軸長で表される誘電性材料本来の格子定数a₀と正方晶系の結晶構造のa軸長で表される導電性材料本来の格子定数a_sとが、

$1.002 \leq a_0 / a_s \leq 1.015$
の関係を満足することを特徴とする。



(a)



(b)

【特許請求の範囲】

【請求項1】少なくとも表面が正方晶系の(001)面及び立方晶系のいずれかに属する結晶構造を有する導電性材料からなる導電性基板と、この導電性基板の上にエピタキシャル成長した正方晶系及び立方晶系のいずれかに属するペロブスカイト型結晶構造を有する誘電性材料からなる誘電体膜と、この誘電体膜の上に形成された上部電極とを具備した薄膜キャパシタにおいて、前記誘電性材料本来のキュリー温度が150℃以下で、ペロブスカイト型結晶構造のa軸長で表される誘電性材料本来の格子定数 a_0 と正方晶系及び立方晶系のいずれかの結晶構造のa軸長で表される導電性材料本来の格子定数 a 、とが下記関係式を満足することを特徴とする薄膜キャパシタ。

$$1.002 \leq a_0/a \leq 1.015$$

【請求項2】少なくとも表面が正方晶系の(001)面及び立方晶系のいずれかに属する結晶構造を有する導電性材料からなる導電性基板と、この導電性基板の上にエピタキシャル成長した正方晶系及び立方晶系のいずれかに属するペロブスカイト型結晶構造を有する誘電性材料からなる誘電体膜と、この誘電体膜の上に形成された上部電極とを具備した薄膜キャパシタにおいて、前記誘電性材料が一般式 ABO_3 （但し式中、AはBa, Sr, Caからなる群より選ばれた少なくとも1種、BはTi, Zr, Hf, Sn, $(Mg_{1/3}Nb_{2/3})$, $(Mg_{1/3}Ta_{2/3})$, $(Zn_{1/3}Nb_{2/3})$, $(Zn_{1/3}Ta_{2/3})$, $(Mg_{1/2}Te_{1/2})$, $(Co_{1/2}W_{1/2})$, $(Mg_{1/2}W_{1/2})$, $(Mn_{1/2}W_{1/2})$, $(Sc_{1/2}Nb_{1/2})$, $(Mn_{1/2}Nb_{1/2})$, $(Sc_{1/2}Ta_{1/2})$, $(Fe_{1/2}Nb_{1/2})$, $(In_{1/2}Nb_{1/2})$, $(Fe_{1/2}Ta_{1/2})$, $(Cd_{1/3}Nb_{2/3})$, $(Co_{1/3}Nb_{2/3})$, $(Ni_{1/3}Nb_{2/3})$, $(Co_{1/3}Ta_{2/3})$, $(Ni_{1/3}Ta_{2/3})$ からなる群より選ばれた少なくとも1種)で表されるペロブスカイト組成を有し、ペロブスカイト型結晶構造のa軸長で表される誘電性材料本来の格子定数 a_0 と正方晶系及び立方晶系のいずれかの結晶構造のa軸長で表される導電性材料本来の格子定数 a 、とが下記関係式を満足することを特徴とする薄膜キャパシタ。

$$1.002 \leq a_0/a \leq 1.015$$

【請求項3】誘電性材料本来のキュリー温度が150℃以下であることを特徴とする請求項2記載の薄膜キャパシタ。

【請求項4】導電性基板が基材とこの基材の上に形成された導電性材料の薄膜からなることを特徴とする請求項1又は請求項2記載の薄膜キャパシタ。

【請求項5】基材の少なくとも表面が正方晶系の(001)面及び立方晶系のいずれかに属する結晶構造を有することを特徴とする請求項4記載の薄膜キャパシタ。

【請求項6】導電性材料の薄膜の膜厚が80nm以下であることを特徴とする請求項4記載の薄膜キャパシタ。

【請求項7】第1の電極と、この第1の電極上にエピタキシャル成長した正方晶系及び六方晶系のいずれかに属するペロブスカイト型結晶構造である誘電性材料からなる誘電体膜と、この誘電体膜の上に形成された第2の電極とを具備した薄膜キャパシタにおいて、前記誘電体膜の膜厚が15nm以上であり、エピタキシャル成長後の誘電性材料のC軸長 C_e とこのC軸長 C_e と対応するエピタキシャル成長前の誘電性材料本来の正方晶系のC軸長或いは六方晶系a軸長 C_0 とが、下記関係式を満足することを特徴とする薄膜キャパシタ。

$$C_e/C_0 \geq 1.02$$

【請求項8】誘電性材料が一般式 $(Ba_xSr_{1-x})TiO_3$ ($0.30 \leq x \leq 0.90$)で表されるペロブスカイト組成を有することを特徴とする請求項1, 2又は7記載の薄膜キャパシタ。

【請求項9】誘電体膜の膜厚が70nm以上であることを特徴とする請求項1, 2又は7記載の薄膜キャパシタ。

【請求項10】誘電性材料本来のキュリー温度が室温以下で、かつこの誘電性材料からなる誘電体膜が室温で強誘電性を示すことを特徴とする請求項1, 2又は7記載の薄膜キャパシタ。

【請求項11】請求項1, 2又は7記載の薄膜キャパシタと、この薄膜キャパシタに接続して設けられたスイッチングトランジスタと、を具備したメモリセルがマトリックス状に配置されてなることを特徴とする半導体記憶装置。

【請求項12】第1の電極とこの第1の電極上にエピタキシャル成長した結晶正の誘電性材料からなる誘電体膜とこの誘電体膜の上に形成された第2の電極とを備えた薄膜キャパシタと、この薄膜キャパシタに接続して設けられたスイッチングトランジスタとを具備したメモリセルがシリコン基板上にマトリックス配置されてなる半導体記憶装置において、

前記シリコン基板上に一部開口を有する絶縁膜を介して(100)配向シリコン層が成長され、この(100)配向シリコン層上に前記薄膜キャパシタの誘電体膜が形成されてなることを特徴とする半導体記憶装置。

【請求項13】請求項11記載の半導体記憶装置において、

前記薄膜キャパシタの誘電体膜が室温で強誘電性を示し、この誘電体膜に抗電界以上の電界を印加することで、誘電体膜・電極の界面抵抗が誘電体膜の分極方向によって変化することを利用して情報の書き込みを行い、抗電界以下の電界を印加した際のリーク電流値変化を利用して情報の非破壊読み出しを行うことを特徴とする半導体記憶装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、ペロブスカイト型結晶構造などを有する誘電性材料からなる誘電体膜を具備した薄膜キャパシタ、及びこれを用いた半導体記憶装置に関する。

【0002】

【従来の技術】近年、メモリセルのキャパシタに強誘電体薄膜を使用した半導体記憶装置（強誘電体メモリ）の開発が行われており、一部では既に実用化されている。強誘電体メモリは不揮発性であり、電源を落とした後も記憶内容が失われず、しかも強誘電体薄膜の膜厚が薄い場合には残留分極の反転が速く、DRAM（揮発性メモリ）並みに高速の書き込み、読み出しが可能である等の特徴を有する。さらに、1つのメモリセルを1つのトランジスタと1つのキャパシタで作成することができるため、大容量化にも適している。

【0003】また最近、強誘電体メモリをDRAM動作させる技術も研究されている。これは、強誘電体薄膜の残留分極を通常の動作中は反転させず、DRAMのメモリセルのキャパシタと同様に使用して、機器の電源を落とす前にだけ強誘電体薄膜の残留分極を利用し不揮発性メモリとして動作させるというものである。この技術は、強誘電体メモリの最大の問題と考えられている強誘電体薄膜の疲労、即ち分極反転を繰り返すにつれて強誘電体薄膜が劣化するという現象を回避し得る有効な方法である。

【0004】ここで、強誘電体メモリに適した強誘電体薄膜には、残留分極が大きいこと、残留分極の温度依存性が小さいこと、分極反転の繰り返しに対する劣化が小さいこと等が求められる。また、強誘電体メモリをDRAM動作させる場合には、これらに加えてリーク電流が小さいことが必要となる。

【0005】現在、上述したような強誘電体薄膜に用いられる誘電性材料としては、ペロブスカイト型結晶構造を有するジルコン酸チタン酸鉛（PZT）が一般的である。PZTは、ジルコン酸鉛（ $PbZrO_3$ ）のチタン酸鉛（ $PbTiO_3$ ）の固溶体であるが、ほぼ1:1のモル比で固溶したものが残留分極が大きく、低い電界でも分極反転することができ、特に優れていると考えられている。またPZTは、強誘電相と常誘電相の転移温度（キュリー温度）が約300℃と高温であるため、通常の電子回路が使用される120℃以下程度の温度範囲では、記憶された内容が熱によって失われる心配は少ない。

【0006】しかしながら、PZTの良質の薄膜は以前より成膜が難しいことが知られている。その理由は第一に、PZTの主成分であるPbは500℃以上で極めて蒸発しやすく、結果的に成膜時における組成の正確な制御が困難となるためである。また第二の理由としては、PZTはペロブスカイト型結晶構造のとき初めて強誘電

性を示すが、成膜条件によってはペロブスカイト型結晶構造の代わりに、強誘電性を示さないバイクロア型結晶構造が非常に得られやすいことが挙げられる。即ち、一般にペロブスカイト型結晶構造を有するPZTの薄膜を成膜するには約500℃以上程度の温度が必要であるが、温度を上げると今度はPbが蒸発してPZTが所望の組成からずれてしまうという問題が生じる。

【0007】上述したように、PZTの良質の薄膜は再現性良く成膜することが難しいにもかかわらず、現在強誘電体メモリの強誘電体薄膜に用いられる誘電性材料として最も一般的であるのは、PZT以外に適当な誘電性材料が見出されていないためである。例えばPZT以外の誘電性材料では、チタン酸バリウム（ $BaTiO_3$ ）が強誘電性を示すことが広く知られている。しかもPbと比べるとBaは蒸発しにくいので、 $BaTiO_3$ の薄膜の成膜においては組成の制御が容易であり、かつ $BaTiO_3$ の薄膜ではペロブスカイト型結晶構造以外の（例えばバイクロア型結晶構造等の）結晶構造が形成されることは少ない。

【0008】これらの長所にも拘らず、 $BaTiO_3$ が強誘電体メモリの強誘電体薄膜に用いられる誘電性材料としてさほど検討されていない理由としては、PZTに比べて残留分極が小さく、しかも残留分極の温度依存性が大きいたことが挙げられる。この原因は、 $BaTiO_3$ 本来のキュリー温度が約120℃と比較的低いことにある。即ち、キュリー温度は強誘電相から常誘電相へ相転移する誘電性材料に固有の温度であり、強誘電性を示す誘電性材料でもキュリー温度より高温では強誘電性を示さない。このため、 $BaTiO_3$ を誘電性材料として用いた強誘電体メモリにおいては、何らかの理由で120℃以上程度の高温に晒された場合に記憶内容が失われる恐れがあるばかりでなく、通常電子回路が使用される85℃以下程度の温度範囲でもキャパシタにおける残留分極の温度依存性が大きく、動作が不安定となってしまう。従って $BaTiO_3$ の薄膜は、従来強誘電体メモリのキャパシタとしての用途には適さないと考えられていた。

【0009】一方、最近Pt/MgO単結晶基板の上にエピタキシャル成長した $BaTiO_3$ の薄膜において、キュリー温度が200℃以上に上昇するという現象が観測されたことが、『飯島賢二他、応用物理、第62巻第12号（1993）、p. 1250~1251』に報告されている。この文献によれば、上述したような現象が生じるのは、 $BaTiO_3$ の薄膜がPtの格子定数に合わせるようにエピタキシャル成長して、ペロブスカイト型結晶構造を有する格子のa軸が縮みc軸が伸びるからであると考えられている。但し、ここでキュリー温度の上昇が観測されているのは、非常に膜厚の薄い $BaTiO_3$ の薄膜においてであり、例えば10nm以上に膜厚が厚いとミスフィット転移によりペロブスカイト型結晶

構造を有する格子がBaTiO₃。本来の格子定数に戻ってしまう傾向があるため、キュリー温度の大きな上昇は期待できない。

【0010】しかるに強誘電体薄膜は、膜厚が1μm以下の領域では一般に薄くなればなるほど残留分極が小さくなる傾向があるといわれている。実際上述した文献においても、膜厚100nm以下のBaTiO₃の薄膜では残留分極は2~3μC/cm²以下である。従って、膜厚10nm以下程度のBaTiO₃の薄膜で仮にキュリー温度を大きく上昇させることができたとしても、強誘電体薄膜としては実用的な残留分極が得られない。このため、BaTiO₃の薄膜を強誘電体メモリのキャパシタに適用することはやはり難しい状況にある。

【0011】また最近では、通常のDRAMにおいても近年の高集積化に対応して、従来のシリコンの酸化物(SiO₂)やシリコンの窒化物(Si₃N₄)に代わり、比誘電率の大きなペロブスカイト型結晶構造を有する誘電性材料を用いることが検討されている。即ちここでは、キュリー温度が室温以下で強誘電性を示さない(常誘電性の)チタン酸ストロンチウム(SrTiO₃)やチタン酸カルシウム(CaTiO₃)等のペロブスカイト型結晶構造を有する誘電性材料を用いて、メモリのキャパシタを大容量化しその面積を縮小することが試みられている。しかしながら、これらのペロブスカイト型結晶構造を有する誘電性材料においては、薄膜化したときに誘電性材料の本来の比誘電率から期待されるほどの大きな容量が得られておらず、また容量の温度依存性が不充分である等の問題があり、いまだDRAMでの実用化には至っていない。

【0012】例えば、SrTiO₃、BaTiO₃、PbTiO₃、PbZrO₃などはバルク材として単一組成並びに相互の固溶体組成で100以上1000にも及ぶ比誘電率を有することが知られており、セラミック・コンデンサに広く用いられている。

【0013】しかしながら、これらSrTiO₃などの薄膜は、容量を大きくするために単に薄膜化したのでは、比誘電率が徐々に低下するという問題点がある。例えば、バルク材では優に比誘電率が1000を超えるBa_{1-x}Sr_xTiO₃では、膜厚が30nmになると比誘電率は250程度に低下するため、電荷蓄積能力を表すSiO₂換算膜厚は0.4nm程度にとどまる。従って、1GビットクラスのDRAMを作成する場合には、BaSrTiO₃誘電体膜を使用した薄膜キャパシタを平面的に構成するのでは蓄積電荷量が足りず、アスペクト比2以上の立体形状にする必要があり、作成が更に困難になるという問題点がある。

【0014】さらに、強誘電体薄膜を使用した半導体記憶装置、即ちFRAMなどの強誘電体メモリにおいても全く同様の問題点がある。例えば、現在FRAMに使用されているPbZr_{1-x}Ti_xO₃の薄膜においても、

薄膜化を進めると強誘電性が失われていく傾向があり、最低でも200nmの膜厚が必要である。しかしながら、このような厚い誘電体膜を使用する場合には、高集積化が非常に困難である。

【0015】しかも、結晶性の誘電性材料では、前述したように、特にその特性が結晶構造や組成に大きく依存する。従って、メモリのキャパシタに用いる際は、成膜時に結晶構造や組成が正確に制御されないと、メモリセル間でキャパシタの容量などにばらつきが生じて、半導体記憶装置の信頼性が損なわれてしまう。しかるにこれまでのところ、このような結晶性の誘電性材料をメモリのキャパシタに用いた半導体記憶装置について、メモリセル間でのキャパシタの容量のばらつきを抑えながら高集積化を図る有効な技術は確立されていない。

【0016】また、ここで用いられる強誘電体薄膜は、残留分極、抗電界や耐疲労特性等について、強誘電体メモリの機能を実現するために高い性能が求められている。例えば、このメモリの書込み・読み出しは、強誘電体薄膜が繰り返し電荷蓄積・電荷放出を行うことを意味し、このとき、抗電界や残留分極の減少といった疲労が問題となっている。この疲労の一つの原因として、誘電体薄膜・電極の界面に蓄積した電荷による誘電体ドメインのピニングが挙げられるが、このピニングを減少させるために界面電荷発生量の少ない電極材料を用いると、今度はリーク電流が増加するといった問題点が起こる。

【0017】一方、上記疲労を軽減するために、情報の読み出しに際して分極反転を起こさない電界、即ち抗電界以下の電界を印加してDRAMを動作させることで、非破壊読み出しを行う手法も考案されているが、この場合は情報の読み出しに有効な蓄積電荷量が減少してしまい、キャパシタの容量を更に増加させる必要が生じてくることになり、更に優れた特性を有する誘電性材料を用いなければならないことになる。

【0018】さらに、強誘電体メモリにおいては、その大集積化に対応して強誘電体薄膜の膜厚を薄くすると、リーク電流の増加が問題となってくる。そして、膜厚の低減と共に、上記疲労も顕著となってしまう。このように強誘電体薄膜を使用した薄膜キャパシタでは、誘電体膜の厚さに関して幾つかの相反律が存在し、小型で残留分極が大きく、そしてリーク電流が小さいという、強誘電体メモリに必要な特性を全て満足することは困難であった。

【0019】

【発明が解決しようとする課題】このように従来、強誘電体メモリやDRAMの薄膜キャパシタ等に使用されるペロブスカイト型結晶構造を有する誘電体膜においては、エピタキシャル成長により形成しかつ膜厚を薄くすることにより、キュリー温度を上昇させることができない。しかし、膜厚を薄くすると残留分極が小さくなり、

また薄膜化したときに誘電性材料の本来の比誘電率から期待されるほどの大きな容量が得られておらず、さらに容量の温度依存性が不充分である等の問題がある。このため、ペロブスカイト型結晶構造を有する誘電体膜を薄膜キャパシタに適用しても十分な効果は得られていないのが現状であった。

【0020】即ち、ペロブスカイト型結晶構造を有する誘電体膜は薄膜化すると誘電特性が劣化するという本質的な大きな問題点を抱えており、半導体記憶装置のメモリセルのキャパシタに使用するときの大きな問題点となっている。また、このような結晶性の誘電性材料をメモリセルのキャパシタに用いる際には、メモリセル間でのキャパシタの容量のばらつきを抑えることが、半導体記憶装置の信頼性を確保する上で非常に重要となる。さらに、残留分極を記憶の基本原則とした強誘電体メモリでは、抗電界や残留分極の減少といった疲労が問題となっている。

【0021】本発明は、上記事情に鑑みてなされたもので、その目的とするところは、第一に、強誘電体メモリやDRAMの薄膜キャパシタ等に使用されるペロブスカイト型結晶構造を有する誘電体膜において、そのキュリー温度を誘電性材料本来のキュリー温度よりも高め、ひいては誘電体膜が強誘電性を示す温度範囲が広く残留分極の値が実用的に十分に大きな薄膜キャパシタや、容量が大きくしかも容量の温度依存性が良好な薄膜キャパシタを提供することにある。

【0022】また、本発明の別の目的は、このような誘電体膜をメモリセルのキャパシタに使用して、セル間でのキャパシタの容量などのばらつきが小さく、しかもキャパシタにおける残留分極が大きくかつ安定に動作し得る強誘電体メモリや、キャパシタの容量が広い温度範囲にわたって大きく高集積化の可能なDRAM等の半導体記憶装置を提供することにある。

【0023】さらに、本発明の別の目的は、情報の読出しに伴う薄膜キャパシタの残留分極の低下や抗電界の低下といった疲労が少ない半導体記憶装置を提供することにある。

【0024】

【課題を解決するための手段】上記課題を解決するために本発明は、次のような構成を採用している。

【0025】即ち、本発明は第1に、少なくとも表面が正方晶系の(001)面及び立方晶系のいずれかに属する結晶構造を有する導電性材料からなる導電性基板と、この導電性基板の上にエピタキシャル成長した正方晶系及び立方晶系のいずれかに属するペロブスカイト型結晶構造を有する誘電性材料からなる誘電体膜と、この誘電体膜の上に形成された上部電極とを具備した薄膜キャパシタにおいて、前記誘電性材料本来のキュリー温度が150℃以下で、ペロブスカイト型結晶構造のa軸長で表される誘電性材料本来の格子定数 a_s と正方晶系及び立

方晶系のいずれかの結晶構造のa軸長で表される導電性材料本来の格子定数 a_c とが、

$$1.002 \leq a_s / a_c \leq 1.015$$

の関係式を満足することを特徴とする(請求項1)。

【0026】また、少なくとも表面が正方晶系の(001)面及び立方晶系のいずれかに属する結晶構造を有する導電性材料からなる導電性基板と、この導電性基板の上にエピタキシャル成長した正方晶系及び立方晶系のいずれかに属するペロブスカイト型結晶構造を有する誘電性材料からなる誘電体膜と、この誘電体膜の上に形成された上部電極とを具備した薄膜キャパシタにおいて、前記誘電性材料が一般式 ABO_3 (但し式中、AはBa, Sr, Caからなる群より選ばれた少なくとも1種、BはTi, Zr, Hf, Sn, $(Mg_{1/3}Nb_{2/3})$, $(Mg_{1/3}Ta_{2/3})$, $(Zn_{1/3}Nb_{2/3})$, $(Zn_{1/3}Ta_{2/3})$, $(Mg_{1/2}Te_{1/2})$, $(Co_{1/2}W_{1/2})$, $(Mg_{1/2}W_{1/2})$, $(Mn_{1/2}W_{1/2})$, $(Sc_{1/2}Nb_{1/2})$, $(Mn_{1/2}Nb_{1/2})$, $(Sc_{1/2}Ta_{1/2})$, $(Fe_{1/2}Nb_{1/2})$, $(In_{1/2}Nb_{1/2})$, $(Fe_{1/2}Ta_{1/2})$, $(Cd_{1/3}Nb_{2/3})$, $(Co_{1/3}Nb_{2/3})$, $(Ni_{1/3}Nb_{2/3})$, $(Co_{1/3}Ta_{2/3})$, $(Ni_{1/3}Ta_{2/3})$ からなる群より選ばれた少なくとも1種)で表されるペロブスカイト組成を有し、ペロブスカイト型結晶構造のa軸長で表される誘電性材料本来の格子定数 a_s と正方晶系及び立方晶系のいずれかの結晶構造のa軸長で表される導電性材料本来の格子定数 a_c とが、

$$1.002 \leq a_s / a_c \leq 1.015$$

の関係式を満足することを特徴とする(請求項2)。

【0027】さらに、第1の電極と、この第1の電極上にエピタキシャル成長した正方晶系及び立方晶系のいずれかに属するペロブスカイト型結晶構造である誘電性材料からなる誘電体膜と、この誘電体膜の上に形成された第2の電極とを具備した薄膜キャパシタにおいて、前記誘電体膜の膜厚が15nm以上であり、エピタキシャル成長後の誘電性材料のC軸長 C_e とこのC軸長 C_e と対応するエピタキシャル成長前の誘電性材料本来の正方晶系のC軸長 C_0 とが、 $C_e / C_0 \geq 1.02$ の関係式を満足することを特徴とする(請求項7)。

【0028】ここで、本発明の望ましい実施態様としては、次のものがあげられる。

(1) 誘電性材料本来のキュリー温度が150℃以下であること。

(2) 導電性基板が、基材とこの基材の上に形成された導電性材料の薄膜からなること。

(3) 基材の少なくとも表面が、正方晶系の(001)面及び立方晶系のいずれかに属する結晶構造を有すること。

(4) 導電性材料の薄膜の膜厚又は基材の上に形成された

第1の電極の厚さが80nm以下であること。

(5) 誘電性材料が一般式 $(\text{Ba}_{1-x}\text{Sr}_x)\text{TiO}_3$ ($0.30 \leq x \leq 0.90$) で表されるペロブスカイト組成を有すること。

(6) 誘電体膜の膜厚が70nm以上であること。

(7) 誘電性材料本来のキュリー温度が室温以下で、かつこの誘電性材料からなる誘電体膜が室温で強誘電性を示すこと。

(8) 請求項1, 2又は7に記載の薄膜キャパシタと、この薄膜キャパシタに接続して設けられたスイッチングトランジスタと、を具備したメモリセルをマトリックス状に配置して半導体記憶装置を構成すること。

【0029】また、本発明は第2に、第1の電極とこの第1の電極上にエピタキシャル成長した結晶正の誘電性材料からなる誘電体膜とこの誘電体膜の上に形成された第2の電極とを備えた薄膜キャパシタと、この薄膜キャパシタに接続して設けられたスイッチングトランジスタとを具備したメモリセルがシリコン基板上にマトリックス配置されてなる半導体記憶装置において、前記シリコン基板上に一部開口を有する絶縁膜を介して(100)配向シリコン層が成長され、この(100)配向シリコン層上に前記薄膜キャパシタの誘電体膜が形成されてなることを特徴とする(請求項12)。

【0030】なお、この発明の半導体記憶装置は、前記スイッチングトランジスタを形成したシリコン基板上に一部開口を有する絶縁膜を形成する工程と、前記絶縁膜上に該絶縁膜の開口をシードとして(100)配向シリコン層を成長する工程と、前記(100)配向シリコン層上に前記結晶性の誘電性材料をエピタキシャル成長する工程とを含む製造プロセスで製造され得る。

【0031】ここで、本発明の望ましい実施態様としては、次のものがあげられる。

(1) 誘電性材料が、ペロブスカイト結晶構造ないしは層状ペロブスカイト結晶構造を有すること。

(2) (100)配向シリコン層が、単結晶シリコン膜であること。

(3) シリコン基板上に成長した単結晶シリコン層が、シリコン基板に対する選択成長法で作成されたもの、即ち単結晶シリコンの選択エピタキシャル成長したもの、或いはアモルファスシリコンの選択成長後にシリコン基板から固相成長させて単結晶化したものであること。

(4) 誘電体膜と(100)配向シリコン層の間に、相互の拡散を防ぐためのバリア層ないしは下部電極層をエピタキシャル成長させたこと。

【0032】さらに、本発明の第3は、請求項11記載の半導体記憶装置において、前記薄膜キャパシタの誘電体膜が室温で強誘電性を示し、この誘電体膜に抗電界以上の電界を印加することで、誘電体膜・電極の界面抵抗が誘電体膜の分極方向によって変化することを利用して情報の書き込みを行い、抗電界以下の電界を印加した際

のリーク電流値変化を利用して情報の非破壊読み出しを行うことを特徴とする(請求項13)。

【0033】ここで、本発明の望ましい実施態様としては、次のものがあげられる。

(1) 薄膜キャパシタが互いに実質的な仕事関数の異なる1対の電極を具備すること。

(2) 片側の電極が RuO_2 、或いは ReO_3 又は Pt , Ir , Rh , Os から選ばれた少なくとも一種からなり、一方の電極がペロブスカイト型性酸化物からなること。

(3) 薄膜キャパシタの誘電体膜が $\text{Ba}_{1-x}\text{Sr}_x\text{TiO}_3$ ($0.1 \leq x \leq 0.9$)であり、一方の電極材料上にエピタキシャル成長した薄膜であること。

(4) 誘電体膜が $\text{Ba}_{1-x-y}\text{Sr}_x\text{RE}_y\text{TiO}_3$ ($0.1 \leq x \leq 0.9$, RE は希土類元素から選ばれた少なくとも一種、 $0.0001 \leq y \leq 0.1$)であり、一方の電極材料上にエピタキシャル成長した薄膜であること。

(5) 少なくとも一方の電極材料にペロブスカイト型酸化物 ABO_3 (但し、 A はペロブスカイト結晶構造中の A サイト構成元素であり、アルカリ土類金属、希土類金属、 Y から選ばれた少なくとも2種、 B は B サイト構成元素を表し、遷移金属から選ばれた少なくとも1種)を用いること。

【0034】

【作用】本発明では第1に、キュリー温度を誘電性材料本来のキュリー温度よりも高くし、かつ残留分極の値や容量を実用的に十分に大きくするために、誘電体膜に用いられる誘電性材料本来の格子定数 a_s と誘電体膜の下地となる導電性材料本来の格子定数 a_d との比の値を $1.002 \leq a_s/a_d \leq 1.015$ の範囲に設定し、ペロブスカイト型結晶構造を有する格子の a 軸が縮み c 軸が伸びた誘電体膜を十分な膜厚で形成している。

【0035】本発明で a_s/a_d の値を1.002以上に限定した理由は、1.002より小さいと誘電体膜のキュリー温度が誘電性材料本来のキュリー温度よりも上昇しないか、また上昇してもごく僅かとなってしまからである。一方、 a_s/a_d の値を1.015以下に限定した理由は、1.015より大きいと誘電体膜を導電性基板の上にエピタキシャル成長させたときに、途中でミスフィット転移が入るため、膜厚70nm以上の厚い誘電体膜についてやはり十分なキュリー温度の上昇が得られないためである。また、 a_s/a_d の値が1.015より大きいときは、膜厚70nm未満の薄い誘電体膜についてキュリー温度を上昇させることができたとしても、その上昇は僅かなものとなる。さらに、 a_s/a_d の値が1.002以上1.011以下の範囲内の場合、格子定数のミスフィットが小さいため、成膜温度によらず結晶性の良好な誘電体膜を容易にエピタキシャル成長させることが可能となる点でより好ましい。

【0036】本発明において、導電性基板としては少なくとも表面が導電性で、かつ正方晶系の(001)面又

は立方晶系に属する結晶構造を有するものであれば特に限定されず用いることができる。従って、立方晶系の結晶構造である場合は特に面方位は規定されないが、表面が立方晶系の(100)面に属する結晶構造を有するものが、その上に誘電性材料をエピタキシャル成長させやすく好ましい。具体的には、例えばPt等の金属や、Nb等の添加によって低抵抗化した $(\text{Ba}_{1-x}\text{Sr}_x)\text{TiO}_3$ ($0 \leq x \leq 1$)等ペロブスカイト型結晶構造を有する導電性化合物の単結晶の基板をそのまま用いることもできるし、これらの導電性材料の薄膜を絶縁性のMgO(100)単結晶や SrTiO_3 単結晶等の基材の上にエピタキシャル成長等の方法で成膜した基板を用いることも可能である。なおここで、Ptのような導電性材料の薄膜をMgO(100)単結晶等の基材の上に成膜して導電性基板とする場合は、導電性基板表面の結晶構造を正方晶系の(001)面または立方晶系に制御する観点から、少なくともその表面が正方晶系の(001)面または立方晶系に属する結晶構造を有する基材を用いることが好ましい。また、この基材表面の結晶構造のa軸長で表される格子定数を a_0 としたとき、 a_0/a_0 の値が a_0/a_0 の値と同様に $1.002 \leq a_0/a_0 \leq 1.015$ の関係を満足することが、誘電体膜のキュリー温度が上昇しやすくなる点でより好ましい。

【0037】さらに、上述したように導電性材料の薄膜を基材の上に成膜して導電性基板とする場合は、導電性材料の薄膜の膜厚を80nm以下とすることが好ましい。即ち、導電性材料の薄膜の膜厚を80nm以下とすることにより、その上に誘電体膜をエピタキシャル成長させたときに70nm以上程度に膜厚を厚くしても、誘電体膜が下地の格子定数に合わせるようにエピタキシャル成長して、ペロブスカイト型結晶構造を有する格子のa軸が縮みc軸が伸びた状態を確実に保つことができる。これに対し、導電性材料の薄膜の膜厚が厚いと、ペロブスカイト型結晶の成長段階で導電性材料の薄膜中に塑性転移が入りやすくなる傾向がある。従って、導電性材料の薄膜の膜厚が80nmを越える場合 a_0 と a_0 との比の値が所定の範囲内に設定されていても、誘電体膜をエピタキシャル成長させた際に下地の導電性材料の薄膜において誘電体膜の格子定数に合わせるような塑性転移が入って、誘電体膜のキュリー温度を誘電性材料本来のキュリー温度よりも高くすることができなくなるおそれがある。しかしながら、導電性材料の薄膜の膜厚が余りに薄いと、下部電極としての機能が損なわれるおそれが生じるので、導電性材料の薄膜の膜厚は50nm程度であることが好ましい。

【0038】また、本発明で用いられ得るペロブスカイト型結晶構造を有する誘電性材料としては、チタン酸バリウム(BaTiO_3)、チタン酸ストロンチウム(SrTiO_3)、チタン酸カルシウム(CaTiO_3)、スズ酸バリウム(BaSnO_3)、ジルコニウム酸バリ

ウム(BaZrO_3)等の単純ペロブスカイト型酸化物、マグネシウム酸ニオブ酸バリウム($\text{Ba}(\text{Mg}_{1/3}\text{Nb}_{2/3})\text{O}_3$)、マグネシウム酸タンタル酸バリウム($\text{Ba}(\text{Mg}_{1/3}\text{Ta}_{2/3})\text{O}_3$)等の複合ペロブスカイト型酸化物や、これらの中から複数の酸化物を同時に固溶させた系等が例示され、さらに化学量論比からの多少のずれが許容されることはいうまでもない。

【0039】このような誘電性材料からなる誘電体膜を導電性基板の上にエピタキシャル成長させるときの成長方位としては、誘電体膜及び導電性基板の正方晶系の(001)面あるいは立方晶系の(100)面が互いに平行となるように成長させることが好ましく、誘電体膜の成膜方法としては、反応性蒸着、rfスパッタリング、レーザアブレーション、MOCVD等が挙げられるが、70nm以上の厚い膜を形成するには特にスパッタリングが好ましい。また誘電体膜の膜厚は、強誘電体メモリに使用されたときに十分な残留分極あるいは実効誘電率を得る観点から70nm以上であることが好ましく、実用上は70nm以上1 μm 以下の範囲内であることが望まれる。但し、DRAM等に用いられる常誘電性を示す誘電体膜については、70nm未満の膜厚でもDRAMのメモリセルのキャパシタ等に十分適用され得る。

【0040】なお、本発明において誘電性材料本来のキュリー温度を150℃以下と規定した理由は、このようにキュリー温度がさほど高くない誘電性材料では、本発明を適用することによるキュリー温度の上昇による効果が極めて顕著であり、かつ導電性基板の上にエピタキシャル成長させて強誘電性を示す誘電体膜を形成したとき分極軸が膜厚方向に十分に揃って、結果的に分極反転の繰り返しに対する劣化が小さい誘電体膜を形成し得るからである。即ち本発明は、上述した通りペロブスカイト型結晶構造を有する格子のa軸が縮みc軸が伸びた誘電体膜を形成するというものであり、このように誘電体膜と下地との格子定数の差異を利用して格子中に所定方向の歪みを強制的に導入することで、キュリー温度が誘電性材料本来の値よりも上昇する。ここで、キュリー温度が150℃以下の誘電性材料は一般に室温での結晶の異方性、換言すれば格子の自発的歪みが小さいので、格子中に強制的に導入された歪みが格子の自発的歪みで相殺されることが殆どなく、格子中への強制的な歪みの導入が非常に有効となる。

【0041】しかるにキュリー温度が150℃を越える誘電性材料は、通常大きな自発的歪みを格子中に有しており、かつ導電性基板の上にエピタキシャル成長させた際には成膜時の応力や反電場を緩和するため、互いに格子の自発的歪みの方向の異なる90°分域等が誘電体膜中に形成される。従って、格子中に強制的に導入された一方向性を有する歪みが、このように多方向性を有する格子の自発的歪みで相殺されて、キュリー温度の上昇が

僅かなものとなる恐れがある。さらに、互いに格子の自発的歪みの方向の異なる 90° 分域が誘電体膜中に形成されると、そのうち分極軸が膜面内に向いた分域で、誘電体膜の膜厚方向に電界が印加された際に格子の 90° 反転が生じて、分極反転の繰り返しに対する劣化の原因となる。また、キュリー温度が 150°C を越える誘電性材料は通常Pb, Biを主成分として含有するため、誘電体膜の成膜時にPb, Biの蒸発に起因する組成の変動を抑えることが難しく、ひいては良質な誘電体膜を簡略に得ることが困難である。しかも、キュリー温度が 150°C を越える誘電性材料に関してはもともとキュリー温度は充分高いので、そのまま誘電体膜に用いてもキュリー温度については半導体記憶装置のメモリセルのキャパシタ等に適用するうえでさほど支障はなく、本発明によるキュリー温度の上昇が特に有効とはならない。

【0042】さらに上述したような、一般式 ABO_3 で表したときAがBa, Sr, Caの少なくとも1種、BがTi, Zr, Hf, Sn, $(\text{Mg}_{1/3}\text{Nb}_{2/3})$, $(\text{Mg}_{1/3}\text{Ta}_{2/3})$, $(\text{Zn}_{1/3}\text{Nb}_{2/3})$, $(\text{Zn}_{1/3}\text{Ta}_{2/3})$, $(\text{Mg}_{1/2}\text{Te}_{1/2})$, $(\text{Co}_{1/2}\text{W}_{1/2})$, $(\text{Mg}_{1/2}\text{W}_{1/2})$, $(\text{Mn}_{1/2}\text{W}_{1/2})$, $(\text{Sc}_{1/2}\text{Nb}_{1/2})$, $(\text{Mn}_{1/2}\text{Nb}_{1/2})$, $(\text{Sc}_{1/2}\text{Ta}_{1/2})$, $(\text{Fe}_{1/2}\text{Nb}_{1/2})$, $(\text{In}_{1/2}\text{Nb}_{1/2})$, $(\text{Fe}_{1/2}\text{Ta}_{1/2})$, $(\text{Cd}_{1/3}\text{Nb}_{2/3})$, $(\text{Co}_{1/3}\text{Nb}_{2/3})$, $(\text{Ni}_{1/3}\text{Nb}_{2/3})$, $(\text{Co}_{1/3}\text{Ta}_{2/3})$, $(\text{Ni}_{1/3}\text{Ta}_{2/3})$ の少なくとも1種からなるペロブスカイト組成を有する誘電性材料は、各構成金属元素の酸化物がいずれも 1000°C 以上の高融点を有しており、 600°C 程度の温度で誘電体膜を成膜した場合でも蒸発が殆ど生じることがなく、誘電体膜の成膜時の組成の変動が抑えられるので好ましい。しかも、このように一般式 ABO_3 で表したときのAがBa, Sr, Caの少なくとも1種からなり、Pb, Biを含有しないペロブスカイト組成を有する誘電性材料からなる誘電体膜については、不揮発性の半導体記憶装置である強誘電体メモリの薄膜キャパシタに使用した場合に、高速での動作にも充分に対応することができる。

【0043】即ち一般に強誘電体メモリでは、特に高速で頻繁な動作を行う際、メモリセルのキャパシタにおける分極反転の繰り返しに伴うヒステリシス損に起因した多量の発熱が問題となり、薄膜キャパシタに用いられる誘電性材料の熱伝導率が良好であることが望まれる。これに対し、原子量がそれぞれ40.08, 87.62, 137.3であるBa, Sr, Caを含有するペロブスカイト組成を有する誘電性材料は、原子量が207.2のPbや208.89のBiを含有する場合に比べその比重が小さく、一般に比重が小さいほど熱伝導率が良好であることが知られているから、上述したような誘電性材料からなる誘電体膜を使用して薄膜キャパシタを作成

すれば、分極反転の繰り返しに伴う発熱の影響を充分に抑制することが可能となる。

【0044】さらに本発明は、誘電性材料本来のキュリー温度が室温より多少低い温度、具体的には -150°C 以上 20°C 以下程度の誘電性材料に特に好ましく適用される。即ちこのような誘電性材料においては、その本来のキュリー温度が室温(25°C)以下であるので、バルク材としては常誘電性を示す。しかしながら、薄膜化することでキュリー温度を室温に近付き或いは室温を越えて上昇させることができ、結果的に誘電体膜に対して室温で大きな比誘電率或いは強誘電性を付与し得る。例えば、キュリー温度が 120°C の BaTiO_3 とキュリー温度が絶対温度0K近傍と考えられる SrTiO_3 の固溶系である $(\text{Ba}_{1-x}\text{Sr}_x)\text{TiO}_3$ では、 $0.30 \leq x \leq 0.70$ のとき本来のキュリー温度が室温より多少低くバルク材としては常誘電性を示すが、導電性基板を適宜選択することで薄膜化した際のキュリー温度が室温を越えて上昇するので、室温で強誘電性を示す誘電体膜を得ることが可能となる。

【0045】なお、この一般式 $(\text{Ba}_{1-x}\text{Sr}_x)\text{TiO}_3$ で示される誘電性材料においては、上述したようなバルク材として常誘電性を示す組成に何ら限定されるものではなく、要はその本来の格子定数 a_0 と下地となる導電性材料本来の格子定数 a_s との比の値を本発明で規定された範囲内に設定することが可能であれば、式中の x の値が 0.70 を越えバルク材が強誘電性を示す組成であっても構わない。即ち、例えば MgO (100)単結晶からなる基材表面にPtの薄膜が成膜されてなる導電性基板の場合、Pt本来の格子定数 a_s は 0.39231nm であることが知られている。このとき、 BaTiO_3 本来の格子定数 a_0 は 0.3994nm 、 SrTiO_3 本来の格子定数 a_s は 0.3905nm で、 a_0/a_s はそれぞれ1.018, 0.995となつて、これら誘電性材料を用いると a_0/a_s の値が本発明で規定された範囲から逸脱してしまう。しかしながら、一般式 $(\text{Ba}_{1-x}\text{Sr}_x)\text{TiO}_3$ で表したとき $0.30 \leq x \leq 0.90$ の組成を有する誘電性材料は、その本来の格子定数 a_0 が BaTiO_3 と SrTiO_3 との中間的な値を有するので、正方晶系または立方晶系の結晶構造を有する導電性材料として代表的なPt本来の格子定数 a_s に対し、 $1.002 \leq a_0/a_s \leq 1.015$ の関係が満足され、導電性基板の上にエピタキシャル成長させた際に著しくキュリー温度が上昇する。

【0046】上述したように本発明の第1は、強誘電体メモリ等に用いられる強誘電体薄膜を具備する薄膜キャパシタにおいて、誘電性材料本来の値よりもキュリー温度が上昇した強誘電体薄膜を形成して、残留分極及び残留分極の温度依存性を改善することを主な骨子とするものであるが、DRAM等に用いられる常誘電性を示す誘電体膜を具備する薄膜キャパシタに本発明を適用しても

構わない。この場合、誘電性材料本来の値よりも誘電体膜におけるキュリー温度が上昇することで、容量が大きくしかも容量の温度依存性の良好な薄膜キャパシタを実現することが可能になる。

【0047】本発明では第2に、結晶性の誘電性材料においては、薄膜化すると比誘電率などが低下するという問題を解決するため、誘電性材料のエピタキシャル成長膜に着目し、シリコン基板上で絶縁膜の開口を通じて選択成長させた(100)配向シリコン層上に、誘電性材料のエピタキシャル成長膜を形成している。

【0048】即ちこのように、エピタキシャル成長したペロブスカイト結晶構造などを有する誘電体膜をメモリセルに使用することにより、下地との拘束により誘起された強誘電性や比誘電率の増大効果が利用できる。また、ペロブスカイト結晶の分極方向は(100)であるために、(100)方向に配向させることによってメモリセル間でキャパシタの容量のばらつきの少ない、高集積化に適したメモリセルを有する半導体記憶装置を原理的に作成することができる。

【0049】一方、実際にスイッチング用トランジスタを形成した半導体基板とペロブスカイト系誘電性材料を用いた薄膜キャパシタを組み合わせる場合には、誘電体膜を構成するSr, Ba, Pbなどの元素がトランジスタ中に拡散するとスイッチング動作に悪影響を与えるため、基板から絶縁層を介して分離した場所にキャパシタを作成する必要がある。現在絶縁層として使用されているものは、シリコンの酸化物や窒化物、さらにそれらの酸化物や窒化物に磷やボロンなどを混入したもので、全てアモルファス膜であり、従って絶縁層の上にエピタキシャル成長させた誘電体膜を形成し薄膜キャパシタを作成することは不可能である。また、MgO基板をシリコンデバイス中に取り込むことも著しく困難である。

【0050】本発明の第2の着眼点は、集積回路基板として使用されるシリコンの(100)面は正方形の格子配列であり、下部電極として代表的な白金や多くのペロブスカイト系化合物の(100)面も同様に正方形の格子配列であることから、シリコン(100)面を積極的に利用することにより、ペロブスカイト結晶をエピタキシャル成長させることが可能であることである。しかも、Si(100)と代表的な結晶性の誘電性材料であるチタン酸ストロンチウムなどのペロブスカイト結晶の(100)とは大略平方根2:1の割合で整合しており、ペロブスカイト結晶を面内に45°回転させることで、ほぼ格子整合を得ることも可能である。実際、文献(J. App. Phys. Vol. 74, No. 2, pp. 1366-75, 1993)によれば、Si基板(100)面上にCaF₂の(100)面を介して、SrTiO₃の(100)と(110)のエピタキシャル層が混在した膜ができることが紹介されている。

【0051】そこで本発明においては、シリコン基板上

絶縁層の上に(100)配向シリコン層を形成するために、シリコンの選択成長技術を導入することに到達した。即ち、絶縁層に覆われたシリコン基板の一部に開孔したコンタクト孔から成長させたシリコン単結晶等を絶縁層の上まで形成し、得られた(100)配向シリコン層を介して誘電体膜をエピタキシャル成長させることができる。

【0052】なお本発明では、このとき亜結晶粒界等を含まない単結晶シリコン層を選択成長させる必要があるわけではなく、その上に誘電体膜をエピタキシャル成長させることが可能である程度に(100)配向しているものであれば、亜結晶粒界等を含んでいても構わない。具体的には、エピタキシャル成長した誘電体膜が、 $\theta-2\theta$ 法によるX線回折測定で(100)及びその倍数に相当するピークが(110), (211), (111)等のピークに対し5倍以上、好ましくは10倍以上の強度を示す程度に(100)配向していればよい。さらに、誘電体膜のX線回折測定による(200)ピークのロッキングカーブの半値幅が2°以下、さらには1°以下であることが好ましい。

【0053】シリコン基板の一部に開孔したコンタクト孔から単結晶シリコン層を形成するためには、シリコン基板上に直接単結晶シリコン層を酸化シリコン層に対して選択的に成長させる方法や、シリコン基板上にアモルファスシリコン層を酸化シリコン層に対してまず選択的に成長させ、その後アニールによりシリコン基板界面より固相成長を生じさせて単結晶化させる方法などがあげられる。単結晶シリコン層の上にメモリセルを形成する際には、化学的機械的研磨法(CMP)などを用いて単結晶シリコン層の上面を平坦化することができる。

【0054】また、単結晶シリコン層と誘電体膜の間の相互拡散を避けるために、単結晶シリコン層と誘電体膜の間にバリア性の大きい金属膜や絶縁膜をバリア層として挟むことが望ましい。バリア性金属膜としては、シリコンとほぼ格子整合するニッケルやコバルトなどのケイ化物、チタンやタングステンなどの窒化物などが挙げられる。ケイ化物の場合は、単結晶シリコン層の上面をコバルトやニッケルなどと反応させてケイ化物層を形成することもできる。また、バリア性絶縁膜としては、同様にシリコンとほぼ格子整合するカルシウムなどのフッ化物やセリウム、マグネシウムなどの酸化物などが挙げられる。但し、ここではこのようなバリア層を介在させることで、上述したような誘電体膜の(100)配向性が損なわれることのないように、バリア層の材料、膜厚等を選択することが好ましい。

【0055】また、所望により不純物がドーピングされた単結晶シリコン層は、基板に形成されたスイッチング用トランジスタの一つの電極と、キャパシタ一つ電極を電気的に接続する配線層(ストレージ・ノード)を兼ねることも勿論可能である。この場合は、単結晶シリコ

ン層と誘電体膜の間のバリア層は導電性のものである必要がある。

【0056】また、別途別の配線で、スイッチング用トランジスタの一つの電極とキャパシタの一つの電極を接続することも可能である。この場合、一旦形成された単結晶シリコン層の一部を除去することも可能である。

【0057】また、上記の例では下部電極に使用したPt等より格子定数の僅かに大きいBaSrTiO₃等の誘電性材料を用い、誘起される強誘電性を利用することにより、成膜時の組成制御が困難でまた素子中で拡散しやすいPbやBiなどを含有する材料本来が高温で強誘電性を示す誘電性材料を用いる場合に比べ、FRAM等の強誘電体メモリの高集積化に非常にメリットがある。また、さらに残留分極値の大きいPbなどを含む誘電性材料を使用する場合は、例えばPbTiO₃とBaTiO₃の固溶体などを利用すれば、同様にPtとの僅かな格子定数差を利用して誘電特性の増大をはかることができる。

【0058】また、単結晶のバリア層や下地電極層を形成することができるため、粒界を通じた高速拡散が抑制され、誘電体膜、電極、(100)配向シリコン層間相互の拡散を減少させることができる。

【0059】即ち、従来の方法によれば、半導体記憶装置のメモリセルのキャパシタにペロブスカイト結晶構造を有する誘電性材料を使用しても、薄膜化すると誘電特性が低下するために高集積化することが困難であったが、本発明の方法によれば、エピタキシャル誘電体膜の使用により、下地膜との拘束作用を利用した蓄積電荷量の増大や強誘電性の誘起をはかれ、さらにメモリセル間でのキャパシタの容量のばらつきの低減や、誘電体膜と下地膜の相互拡散の低減などを実現することができ、高集積化した半導体記憶装置を作成することが可能になる。

【0060】本発明では第3に、強誘電体メモリにおける抗電界や残留分極の減少といった疲労の問題点を解決するために、従来問題点であった誘電体膜のリーク電流を積極的に利用し、このリーク電流を動作原理として利用する。これは、誘電体膜と電極との界面に発生するポテンシャルバリアの形状が、誘電体膜の分極状況によって変化することを利用したものであり、またその記憶読み出し時には、抗電界以下の電界を印加して読み出しを行うこともできることから、分極反転の必要がなく、誘電体膜の疲労に対する許容範囲の広い不揮発性メモリが実現できる。さらに、情報の読出しに際しては、誘電体膜の蓄積電荷ではなくリーク電流の変化を利用していることから、メモリの性能はキャパシタの蓄積電荷に依存しないことが特徴となる。従って従来、強誘電体メモリに用いることが困難であった残留分極が小さな誘電性材料を用いることも可能となり、より広い材料の選択が行えるという利点を有する。

【0061】ここで、本発明の構成を簡単に説明する。本発明の基本構成は、誘電体膜の両面に金属や導電性固体の電極を設けた部分からなる。このときの誘電体膜は、メモリの動作電圧に適合した抗電界を有すること、また十分な残留分極を持つこと、そしてリーク電流をメモリ動作に用いることから、ある程度の導電性を有することが望ましい。

【0062】ここで電極材料としては、誘電体の上下で異なる物性を持つ材料を用いることが望ましく、片方は高いエネルギーのショットキバリアーを与えるべく、仕事関数の大きな金属或いは導電性酸化物のような導電性固体、もう一方の電極に低いショットキバリアーを与えるような仕事関数の低い金属や導電性固体、或いは半導体特性を持った導電性酸化物等を用いることが望ましい。このように異なる2種の電極材料を用いることにより、キャパシタの分極対電界ヒステリシス曲線(P-E曲線)が電圧の極性について非対称となり、一方に電界を掛けた後この電界を取り去った時の残留分極ともう片方に電界を掛けてこれを取り去った時の残留分極が異なるような特性を与えることができる。即ち、片方の分極状態での0バイアス近傍での誘電率ともう片方の分極状態の誘電率が大きく異なる薄膜キャパシタがこのような電極構成によって得られるわけで、この誘電率の違いがこの半導体記憶装置の動作原理の根幹となっている。

【0063】ここで、仕事関数が大きな値を持つ、即ち大きなポテンシャルバリアが存在する電極界面に注目してこの半導体記憶装置の動作を説明する。ここでは、0バイアス付近での誘電率が大きい場合と小さい場合のこのバリアの性質を比較する。ちなみにこの2つの状態は、抗電界以上の電界を印加することで得ることができる。かかる電極界面の空乏層長は誘電体膜の誘電率 ϵ の $1/2$ 乗に比例し、この接合を流れる電流はこの空乏層のトンネル電流で概ね記述でき、その値は空乏層長が大きい場合にはより小さなものとなる。即ち、同じバイアス電界を与えたときのこの接合を流れる電流は、大きな誘電率を与える分極状態では小さく、また小さな誘電率を与える分極状態では大きな電流が流れることになる。

【0064】本発明の半導体記憶装置では、この分極状態による誘電体膜-電極接合の電流変化を記憶読み出しに用いるものである。ここで読み出しに用いる電界は、誘電体膜の抗電界以下の値を用いることが必要で、一方メモリの動作速度向上のためにはなるべく大きな電界を掛けて大きな電流を得ることが必要になる。そこで、この読み出し電流を大きくとることを目的に、誘電体膜の電気伝導率を適当な値に調整するため、誘電体膜に希土類元素やNb等の適当な不純物を添加することもできる。この不純物添加はメモリの動作電圧、必要な動作速度、補助回路の構成、誘電体膜の抗電界等の性質や用いる電極の物性によって任意に選ぶことができるが、あまりに高抵抗の場合には十分な動作電流が得られず、一方

19

あまりに抵抗が低い場合には誘電体膜に充分な電界をかけることができず、誘電体膜における極性反転による情報書き込みが難しくなる。

【0065】さて、ここでこの半導体記憶装置に用いる電極について簡単に説明する。本発明で用いる電極材料は、好ましくはその実質的な仕事関数が異なる2種の電極材料を用いることになる。ここで、仕事関数の大きな電極材料としては、Pt, Ir, Rh, Os等の各種貴金属のような単純金属や ReO_3 や RuO_2 のような金属的な電子状態を示す電気伝導性酸化物、或いは金属的な電気伝導を示すペロブスカイト型酸化物を用いることができる。また、一方の仕事関数が小さな電極には各種半導体や半導体と金属の中間的な物性を持つ、いわゆる強相関金属的な各種電気伝導性酸化物を用いることができる。ここで、このペロブスカイト型酸化物はそのAサイト構成元素に価数やイオン半径の異なる元素を2種以上選択することにより、この2種以上のAサイト構成元素の含有比率を変えることで実質的にその仕事関数を変化させ、誘電体膜との界面のショットキーバリアを変化させることができるため、誘電体膜の両面で基本的な組成、構造が同一でありながら、その電気特性が大きく異なる電極を形成することができ、誘電体膜にかかるストレスを軽減することや、このメモリの作成プロセスを簡略化することが可能になる。

【0066】さらに、本発明になる半導体記憶装置では、その読み出しが非破壊読み出しであり、誘電体膜の疲労に関しては通常の蓄積電荷を利用する強誘電体メモリより有利な状況にあるが、記憶書き込みに関しては分極反転を行うため、誘電体膜の疲労が問題となることもある。この際、誘電体膜と電極の界面不整合や誘電体膜に加わるストレスはこの疲労を増長させることから望ましくないが、上記ペロブスカイト型導電性酸化物を電極に用いた場合、極めて高い格子整合性により、こういった問題を回避することが可能になる。しかも、ペロブスカイト結晶構造の電極上にペロブスカイト型結晶構造の誘電性材料をエピタキシャル成長させることで、さらに界面整合性の向上を得ることができるが、電極膜や誘電体膜が多結晶体の場合も、こういった材料を用いることで十分な効果を得ることができる。

【0067】本発明になる半導体記憶装置は、本質的には誘電体膜に各種誘電性材料を用いることができるが、上記理由により、電極材料との整合性が良好である材料であることが望ましい。 $\text{Ba}_{1-x}\text{Sr}_x\text{TiO}_3$ (BSTO) のような誘電体膜はある種の電極の上にエピタキシャル成長することが知られており、このとき電極の格子定数を適当に選定することにより、ヘテロエピタキシーによって生じた応力により、本来室温では強誘電性を示さない組成の誘電性材料が強誘電性を示す誘電体膜となることも知られている。

【0068】本発明者らは、かかる誘電体膜をその構成

20

要素として用い、リーク電流の変化を利用した情報の読出しを行う半導体記憶装置を作成した場合、極めて良好な特性を示すことを見い出した。この電極上にエピタキシャル成長したBSTO薄膜は界面状態が良好なことから、良好な耐疲労特性を示し、かかる用途に最適の誘電体膜であると言えるが、その電荷蓄積量は本来強誘電性を示す誘電性材料を用いた強誘電体膜に比べて充分高いとは言えない。従って、蓄積電荷を放出させて情報の読出しを行う従来の強誘電体メモリにこの誘電体膜を用いた場合には、キャパシタ部分の面積を低減し高集積化をはかることにも限界がある。

【0069】一方、上記説明のような、分極方向の変化によって変化するリーク電流を用いてMOSチャンネルを駆動する半導体記憶装置をこの誘電体膜を用いて作成した場合には、蓄積電荷量は素子の動作に直接影響を与えるパラメータではなく、キャパシタ性能、ひいては半導体記憶装置の性能は電荷蓄積量ではなく、リーク電流の変化に依存することになる。従って、上記エピタキシャル成長させたBSTO薄膜をかかると半導体記憶装置に用いた場合には、小さい素子面積でMOSチャンネル等を高速駆動でき、また耐疲労特性にも優れたメモリが得られるわけである。

【0070】ここで、BSTOの組成はエピタキシャル成長させる基板或いは下部電極の格子定数等の条件によって任意に設定することができる。また、読み出し電流を大きくとるための不純物添加による電気抵抗の低減も、Ba或いはSrの一部をSm等、希土類元素で置き換えることにより、容易に行うことができる。電気抵抗の制御にはこの不純物添加による方法の他に、この物質の場合には酸素欠損を導入して電気抵抗を低減することもできる。この酸素欠損の導入は成膜時の雰囲気（たとえばスパッタ時の酸素分圧）を制御することで行うことができる。

【0071】本発明になる半導体記憶装置には、このほか PbTiO_3 やPLT, PZT等各種誘電性材料を用いることができる。この際にも、読み出し電流増加のため各種不純物の添加や陽イオン欠損の導入等が有効であるが、成膜の容易さや耐疲労特性の観点からはエピタキシャルBSTO薄膜が最も良好な特性を示すと言える。

【0072】ここで、この強誘電性を示すBSTO薄膜は、例えば MgO (200) 基板上にエピタキシャル成長したPt (200) を下部電極とし、この上にBSTOをエピタキシャル成長させることで得ることができる。さらに、BSTOより格子定数がやや小さいペロブスカイト型結晶構造を持つ導電性酸化物を下部電極とし、このうえにBSTOを成膜することでも、エピタキシャル成長した強誘電性を示すBSTO薄膜を得ることができる。

【0073】下部電極として用いる導電性ペロブスカイト型酸化物には多様な物質を用いることができるが、例

例えばNbを添加して導電性を付与した SrTiO_3 や $\text{Ca}_{1-x}\text{Y}_x\text{TiO}_3$ のような物質を選ぶことができる。ここで、下部電極に用いる導電性ペロブスカイト型酸化物の格子定数は、その上にエピタキシャル成長させるBSTO薄膜の誘電特性に大きな影響を与える重要な要素であり、これをBSTO本来の格子定数より小さな値を持つ物質を選択して、エピタキシャル成長したBSTOの面内格子定数を低減し、正方晶に転移させることで強誘電性を得ることができる。

【0074】より良好な誘電特性、例えばより高いキュリー温度、より大きな抗電界や飽和電荷を得るためには、BSTOと下部電極の格子ミスマッチを大きくすれば良い。しかし、このミスマッチが大きすぎる場合には、BSTOがエピタキシャル成長しないため、強誘電性を示すBSTO薄膜を得ることができない。上記導電性ペロブスカイト型酸化物は、構成元素を適当に選ぶことによって、幅広い格子定数を有する物質を得ることができることから、下部電極材料として最も好ましいものの一つである。

【0075】本発明になる半導体記憶装置は、強誘電性を示す誘電体膜の上下に、電子状態の異なる電極を接合することによって誘電体膜の上下で異なる界面バリアを形成することでその特性が得られる。上記導電性ペロブスカイト型酸化物は、その組成比を変化させることや微量の不純物を添加することにより、その電子状態を大きく変化させることができるため、これを利用して上部電極、下部電極で異なる電子状態を持つ電極を形成することができる。例えば、下部電極には金属導電性で電気抵抗率が低い $\text{Ca}_{0.5}\text{Y}_{0.5}\text{TiO}_3$ を用い、上部電極には半導体的な電気特性を持ち、電気抵抗がより高い $\text{Ca}_{0.8}\text{Y}_{0.2}\text{TiO}_3$ を用いることで、非対称のP-E曲線を有するキャパシタを得ることができる。また、このように上下の電極双方に導電性ペロブスカイト型酸化物を用いることは、良好な整合性を持った界面整合が得られるため、強誘電体メモリの疲労を改善する上で極めて効果的である。

【0076】また、リーク電流を利用して動作させる場合には、ジュール熱によるキャパシタ内の温度上昇が問題である。即ち、温度上昇は導電率の変化や絶縁破壊をもたらすためメモリ動作上好ましくない。これに対し、エピタキシャル成長によるBSTOの構成元素はPbやBiに比較して軽く、軽い元素から構成される結晶は一般的に熱伝導性に優れる。従って、エピタキシャル成長によるBSTOの利用により、キャパシタ内の温度上昇を回避することも可能となる。

【0077】

【実施例】図1(a)、(b)は、実施例で作成された本発明の薄膜キャパシタの構造を示す平面図及び縦断面図であり、以下本発明を実施例に基づいて説明する。

(実施例1及び比較例1) まず、図1に示すように表面

が平滑な MgO (100)単結晶基板1の上に、下部電極2を形成する導電性材料として(100)配向のPtの薄膜を、基板温度400℃でrfマグネトロンスパッタリング法により成膜し、本発明における導電性基板5とした。ここで、基材の MgO (100)単結晶基板1は立方晶系に属するNaCl型結晶構造を有するもので、Ptの薄膜は約50nmの膜厚で基材の上にエピタキシャル成長して、立方晶系の結晶構造を有していた。

【0078】次に、得られた導電性基板5の上に、誘電体膜3として膜厚約230nmの $(\text{Ba}_{0.85}\text{Sr}_{0.15})\text{TiO}_3$ (正方晶系)の薄膜又は BaTiO_3 (正方晶系)の薄膜をrfマグネトロンスパッタリング法により成膜して、それぞれ実施例及び比較例とした。ここで、Pt本来の格子定数 a_s は0.39231nm、 $(\text{Ba}_{0.85}\text{Sr}_{0.15})\text{TiO}_3$ 本来の格子定数 a_s は約0.3978nm、 c_s は0.400nmである。 BaTiO_3 本来の格子定数 a_s は0.3994nm、 c_s は0.403nmである。従って a_s/a_s の値が、実施例については $a_s/a_s=1.013$ で本発明で規定された範囲内であるが、比較例では $a_s/a_s=1.018$ となって本発明で規定された範囲を逸脱している。

【0079】なおこのとき、スパッタターゲットとしては $(\text{Ba}_{0.85}\text{Sr}_{0.15})\text{TiO}_3$ 焼結体及び BaTiO_3 焼結体からなる4インチ径、5mm厚の単元ターゲットをそれぞれ使用し、成膜中の基板温度を600℃、スパッタ雰囲気はArと O_2 の混合ガスとした。また、形成された誘電体膜の組成をICP法で分析し、いずれもほぼ化学量論組成であることを確認した。

【0080】最後に、これらの $(\text{Ba}_{0.85}\text{Sr}_{0.15})\text{TiO}_3$ の薄膜又は BaTiO_3 の薄膜の上に、Niの薄膜をrfマグネトロンスパッタリング法により成膜後、フォトリソグラフィ技術により100 $\mu\text{m} \times 100\mu\text{m}$ の形状に加工して上部電極4を形成し、実施例1及び比較例1の薄膜キャパシタを作成した。

【0081】ここで、導電性基板5の上に誘電体膜3として形成された $(\text{Ba}_{0.85}\text{Sr}_{0.15})\text{TiO}_3$ の薄膜又は BaTiO_3 の薄膜は、そのX線回折図にペロブスカイト型結晶構造の(001)、(002)、(003)面からの回折線のみが現れており、これら誘電体膜3においては(001)面が配向したペロブスカイト型結晶構造が得られていることが判った。またRHEED観察から、これら誘電体膜3は導電性基板5の上にエピタキシャル成長していることが確認された。

【0082】さらにこれら誘電体膜3について、ペロブスカイト型結晶構造を有する格子のc軸方向の格子定数をX線回折図の(003)回折角から求めたところ、実施例1で形成した $(\text{Ba}_{0.85}\text{Sr}_{0.15})\text{TiO}_3$ の薄膜では $c_s=0.417\text{nm}$ 、比較例1で形成した BaTiO_3 の薄膜では約0.403nmであった。即ち、 $(\text{Ba}_{0.85}\text{Sr}_{0.15})\text{TiO}_3$ 及び BaTiO_3 の本来

のc軸長がそれぞれ約0.400nm、0.403nmであるから、比較例がBaTiO₃本来の格子定数と同等の値である、即ち $c_a/c_o = 1.000$ であるのに対し、実施例においては(Ba_{0.85}Sr_{0.15})TiO₃本来の格子定数よりも約4.2% c軸が長いことになる。即ち、 $c_a/c_o = 1.042$ となる。

【0083】本実施例でc軸方向の格子定数が長くなった理由は、(Ba_{0.85}Sr_{0.15})TiO₃本来の格子定数 a_o が下地のPt本来の格子定数 a_t より適度に大きいため、誘電体膜3を下地であるPtの薄膜の上にエピタキシャル成長させる際に、(Ba_{0.85}Sr_{0.15})TiO₃が膜面内方向でPtの格子定数に一致するようにミスフィット転移が入ることなく成長し、結果的にペロプスカイト型結晶構造を有する格子が歪んで、膜面内方向について格子定数が縮む一方膜厚方向で格子定数が伸びたためであると考えられる。

【0084】続いて、上述したような実施例1及び比較例1の薄膜キャパシタの各種特性を評価した。まず図2は、実施例1及び比較例1の薄膜キャパシタの容量の温度依存性を示す特性図である。但しここでは、交流電圧の周波数100kHz、振幅0.1Vとして容量を測定した。図2に示されるように、実施例1の薄膜キャパシタにおいては、室温から温度を上げるにつれて容量が増加し、最大の容量値が得られる温度 T_{max} は約200℃であった。なおこの T_{max} は、バルク材のキュリー温度に相当する温度であり、(Ba_{0.85}Sr_{0.15})TiO₃本来のキュリー温度は約60℃であることが知られているから、本実施例において誘電体膜のキュリー温度が誘電性材料本来のキュリー温度よりも上昇していることが明らかである。

【0085】一方、比較例1の薄膜キャパシタは、 T_{max} がBaTiO₃本来のキュリー温度とほぼ同じ約120℃であり、誘電体膜のキュリー温度は誘電性材料本来の値と殆ど変化していない。ここでこれらの違いが生じるのは、本実施例では誘電体膜の成長段階でミスフィット転移が入りにくく、上述したようにペロプスカイト型結晶構造を有する格子が歪んだ状態が保たれるのに対し、比較例においては誘電体膜の成長初期状態でペロプスカイト型結晶構造を有する格子が歪んでも、誘電体膜の成長段階でミスフィット転移が入ってももとに戻ってしまうためである予想される。

【0086】また図3(a)、(b)に、実施例1及び比較例1の薄膜キャパシタの分極対電界(P-E)ヒステリシス曲線を示す。但しここでは、ソーヤタワー回路を使用し5kHzの交流電圧を印加して室温でヒステリシス曲線を測定した。図3から明らかなように、実施例1及び比較例1の薄膜キャパシタではともに、印加される電界との関係で分極に明瞭にヒステリシスが現れている。即ち、本実施例の薄膜キャパシタにおいては、誘電体膜としての(Ba_{0.85}Sr_{0.15})TiO₃の薄膜は強

誘電性を示しており、かつ図3(a)のヒステリシス曲線から求めた残留分極の大きさは約0.11C/m²と実用的に充分な値が得られていた。これに対し、図3(b)のヒステリシス曲線から求めた比較例1の薄膜キャパシタにおける残留分極の大きさは、約0.06C/m²であった。

【0087】さらに図4に、残留分極の温度依存性を示す。図4において、縦軸は20℃での残留分極 $P_r(20℃)$ に対するT℃での残留分極 $P_r(T)$ の比を表し、図中実線が実施例1の薄膜キャパシタの残留分極の温度依存性、破線が比較例1の薄膜キャパシタの残留分極の温度依存性である。図示される通り本実施例の薄膜キャパシタでは、残留分極の温度依存性についても比較例の薄膜キャパシタに対して著しく改善されている。このように実施例1においては、誘電体膜のキュリー温度が誘電性材料本来のキュリー温度よりも上昇しており、これに伴い残留分極が大きく残留分極の温度依存性の小さい薄膜キャパシタが実現されている。

【0088】次に本実施例では、上述したような薄膜キャパシタとスイッチングトランジスタとしてのMOSTランジスタとを接続して、不揮発性の半導体記憶装置である強誘電体メモリを構成した。ここで、図5(a)(b)にMOSTランジスタの平面図と断面図を示し、図6(a)(b)に薄膜キャパシタの平面図と断面図を示す。そして、以下これらの図面を参照しながら本発明の半導体記憶装置の構成について具体的に示す。

【0089】本実施例においては、図5に示される通りSiの熱酸化膜からなる素子分離領域2で互いに分離された複数のMOSTランジスタが、Si基板11上にマトリックス状に作成される。このときMOSTランジスタは、素子分離領域2上のゲート酸化膜13-1及びゲート電極13-2と、Si基板11内のソース及びドレイン領域14-1、14-12等から形成される。なおここでゲート電極13-2は、半導体記憶装置のワード線の一部を成すものである。また、ソース及びドレイン領域14-1、14-2の一方の上にはビット線15が形成され、ソース及びドレイン領域14-1、14-2の他方はコンタクト部10を介して、薄膜キャパシタとの接続用の取り出し電極16と接続される。なお図中、17、18、19は層間絶縁膜、20は平坦化用絶縁膜である。

【0090】また薄膜キャパシタについては、図6に示すようにMgO(100)単結晶基板1の上にドライブ線の形状を成す(100)配向のPtの薄膜を成膜して下部電極2を形成し、得られた導電性基板5の上に誘電体膜3としての(Ba_{0.85}Sr_{0.15})TiO₃の薄膜及びNiの薄膜を順次形成した後、MOSTランジスタ側における取り出し電極16と対応する形状にNiの薄膜を加工して上部電極4を形成した。但しここで各薄膜の膜厚、成膜方法等は、図1に示した薄膜キャパシタの場

合と同様にした。

【0091】次いで、取り出し電極16及び上部電極4を含む全面上にそれぞれ絶縁膜21-1、21-2を形成した後、研磨加工を施して取り出し電極16及び上部電極4を露出させるとともに表面を平坦化した。続いて、取り出し電極16と上部電極4とが対向、接触した状態で熱処理を施しこれらを金属接合せしめ、結果的にMOSトランジスタと薄膜キャパシタとを接続させて、本実施例の薄膜キャパシタとMOSトランジスタを具備したメモリセルがマトリックス状に配置されてなる半導体記憶装置を得た。図7に、得られた半導体記憶装置の構造の縦断面図を部分的に示す。

【0092】図8はこのような半導体記憶装置の等価回路図である。図示されるように、ここでは1ビットのメモリセルが1つのスイッチングトランジスタ24と1つの薄膜キャパシタ25とからなり、マトリックス状に配置される。スイッチングトランジスタ24のゲート電極はワード線13と結合し、ソース及びドレイン領域14-1、14-2の一方がビット線15に結合する。さらに薄膜キャパシタ25の一对の電極が、それぞれスイッチングトランジスタ24のソース及びドレイン領域14-1、14-2の他方及びドライブ線22と接続される。このとき、ワード線13とドライブ線22とが互いに直交して、それぞれワード線選択回路26及びドライブ線駆動回路27と結合し、ビット線15は2本一組でビット線対を形成し1本のドライブ線22を挟んでその両側に配置されるとともに、センスアンプ28と結合している。

【0093】この半導体記憶装置の書き込みに際しては、例えばワード線選択回路26により所定のロウアドレスのワード線13を選択し、選択されたワード線13を活性化してこれと結合するスイッチングトランジスタ24をON状態にした後、所定のカラムアドレスについてビット線15に“1”或いは“0”の情報に対応する電位を付与するとともに、ドライブ線駆動回路27によりドライブ線22を活性化して書き込み信号を伝達する。次いで、ワード線13の活性化を停止してスイッチングトランジスタ24をOFF状態に戻せば、上述したようなロウアドレス及びカラムアドレスの積によって選択されるメモリセル内の薄膜キャパシタ25に、“1”或いは“0”の情報が蓄積、保持されて情報の書き込みが行われる。この後は、情報が書き込まれたメモリセルのスイッチングトランジスタ24や薄膜キャパシタ25と結合するワード線13及びドライブ線22の一方が活性化されても、書き込まれた情報が消失することはない。

【0094】一方、半導体記憶装置の読み出しに当たっては、まずワード線選択回路26により所定のロウアドレスのワード線13を選択し、選択されたワード線13を活性化してこれと結合するスイッチングトランジスタ2

4をON状態にする。続いて、所定のカラムアドレスについてビット線対をプリチャージしてフローティング状態とした後、ドライブ線駆動回路27によりドライブ線22を活性化して所定の電位を付与する。ここで、上述したようなロウアドレス及びカラムアドレスの積によって選択されるメモリセルの薄膜キャパシタ25に蓄積、保持されていた情報は、スイッチングトランジスタ24を通してプリチャージされたビット線対のうちの一方のビット線15に取り出され、取り出された情報に応じた微小な電位差がビット線対間に形成される。従って、この電位差をセンスアンプ28で増幅することで、メモリセル内の薄膜キャパシタ25に蓄積、保持されていた情報の読み出しを行うことが可能となる。さらに、上述したようにして情報の取り出されたメモリセル内の薄膜キャパシタ25に対しては、その後所定の動作によって読み出す前と情報が書き込まれて、情報の再書き込みが行われる。

【0095】なお、以上は本発明の薄膜キャパシタを用いて不揮発性の強誘電体メモリを構成した例であるが、本発明の薄膜キャパシタはDRAM等の揮発性の半導体記憶装置に用いることもできる。図9に、このような本発明の別の半導体記憶装置の等価回路図を示す。図示される通り、ここでは薄膜キャパシタ25における一对の電極側が全て所定の電位に設定されればよく、一般的には、例えば薄膜キャパシタ25の下部電極を全面に形成する以外は、図7と全く同様に半導体記憶装置を構成して、全メモリセルにおいて薄膜キャパシタ25の下部電極が共有化される。

(実施例2及び比較例2) この実施例2及び比較例2の薄膜キャパシタにおいては、誘電体膜としてそれぞれ $(\text{Ba}_{0.44}\text{Sr}_{0.56})\text{TiO}_3$ 、 $(\text{Ba}_{0.24}\text{Sr}_{0.76})\text{TiO}_3$ の薄膜を形成した点が、上述したような実施例1及び比較例1の薄膜キャパシタと異なる。即ちまず実施例1と同様に、表面が平滑な MgO (100)単結晶基板(立方晶系)の上に、下部電極を形成する導電性材料として(100)配向のPt(立方晶系)の薄膜を、基板温度400℃でrfマグネトロンスパッタリング法により成膜し、導電性基板とした。このとき、Ptの薄膜は約50nmの膜厚でエピタキシャル成長していた。

【0096】次に、得られた導電性基板の上に、誘電体膜として膜厚約230nmの $(\text{Ba}_{0.44}\text{Sr}_{0.56})\text{TiO}_3$ (立方晶系)の薄膜又は $(\text{Ba}_{0.24}\text{Sr}_{0.76})\text{TiO}_3$ (立方晶系)の薄膜をrfマグネトロンスパッタリング法によりエピタキシャル成長させて、それぞれ実施例及び比較例とした。ここで、Pt本来の格子定数 a_0 は0.39231nm、 $(\text{Ba}_{0.44}\text{Sr}_{0.56})\text{TiO}_3$ 本来の格子定数 a_0 は約0.3946nm、 c_0 も同じく0.3946nmである。 $(\text{Ba}_{0.24}\text{Sr}_{0.76})\text{TiO}_3$ 本来の格子定数は約0.3927nm、 c_0 も同じく0.3927nmである。従って a_0/a_1 の値が、

実施例については $a_c/a_a = 1.006$ で本発明で規定された範囲内であるが、比較例では $a_c/a_a = 1.001$ となって本発明で規定された範囲を逸脱している。

【0097】なおこのとき、スパッタターゲットとしては BaTiO_3 焼結体及び SrTiO_3 焼結体の二元ターゲットを使用し、成膜中の基板温度を 600°C 、スパッタ雰囲気は Ar と O_2 の混合ガスとした。また形成された誘電体膜の組成をICP法で分析し、いずれもほぼ化学量論組成であることを確認した。

【0098】最後に、これらの $(\text{Ba}_{0.44}\text{Sr}_{0.56})\text{TiO}_3$ の薄膜又は $(\text{Ba}_{0.24}\text{Sr}_{0.76})\text{TiO}_3$ の薄膜の上に、 Ni の薄膜をrfマグネトロンスパッタリング法により成膜後、フォトリソグラフィ技術により $100\mu\text{m} \times 100\mu\text{m}$ の形状に加工して上部電極を形成し、実施例2及び比較例2の薄膜キャパシタを作成した。

【0099】ここで、実施例2で導電性基板の上に誘電体膜として形成された $(\text{Ba}_{0.44}\text{Sr}_{0.56})\text{TiO}_3$ の薄膜のX線回折図を、図10に示す。図10に示されたように、この $(\text{Ba}_{0.44}\text{Sr}_{0.56})\text{TiO}_3$ の薄膜においては、そのX線回折図にペロブスカイト型結晶構造の (100) 、 (200) 、 (300) 面からの回折線のみが現れており、 (100) 面が配向したペロブスカイト型結晶構造が得られていることが判った。また、同様に $(\text{Ba}_{0.24}\text{Sr}_{0.76})\text{BaTiO}_3$ の薄膜についても、そのX線回折図から (100) 面が配向したペロブスカイト型結晶構造が得られていることが確認された。

【0100】さらにこれら誘電体膜について、ペロブスカイト型結晶構造を有する格子の c 軸方向の格子定数をX線回折図の (300) 回折角から求めたところ、実施例2で形成した $(\text{Ba}_{0.44}\text{Sr}_{0.56})\text{TiO}_3$ の薄膜では約 0.406nm 、比較例2で形成した $(\text{Ba}_{0.24}\text{Sr}_{0.76})\text{TiO}_3$ の薄膜では約 0.400nm であった。即ちここで、 $(\text{Ba}_{0.44}\text{Sr}_{0.56})\text{TiO}_3$ 及び $(\text{Ba}_{0.24}\text{Sr}_{0.76})\text{TiO}_3$ の本来の c 軸長がそれぞれ約 0.3946nm 、約 0.3927nm であるから、実施例及び比較例で形成された誘電体膜においては、いずれも誘電性材料本来の格子定数よりも c 軸が長いことになるが、比較例についてはその変化の量が小さい。ちなみに、実施例では $c_o/c_a = 1.028$ 、比較例では $c_o/c_a = 1.018$ である。

【0101】本実施例で c 軸方向の格子定数が長くなった理由は、 $(\text{Ba}_{0.44}\text{Sr}_{0.56})\text{TiO}_3$ 本来の格子定数 a_a が下地の Pt 本来の格子定数 a_p より適度に大きいため、誘電体膜を下地である Pt の薄膜の上にエピタキシャル成長させる際に、 $(\text{Ba}_{0.44}\text{Sr}_{0.56})\text{TiO}_3$ が膜面内方向で Pt の格子定数に一致するようにミスフィット転移が入ることなく成長し、結果的にペロブスカイト型結晶構造を有する格子が充分に歪んで、膜面内

方向について格子定数が縮む一方膜厚方向で格子定数が伸びたためであると考えられる。

【0102】続いて、上述したような実施例2及び比較例2の薄膜キャパシタの各種特性を評価した。まず図11は、実施例2の薄膜キャパシタの容量の温度依存性を示す特性図である。但しここでは、交流電圧の周波数 100kHz 、振幅 0.1V として容量を測定した。図11に示されるように、実施例2の薄膜キャパシタにおいては、室温から温度を上げるにつれて容量が増加し、最大の容量値が得られる温度 T_{max} は約 200°C であり、 $(\text{Ba}_{0.44}\text{Sr}_{0.56})\text{TiO}_3$ 本来のキュリー温度約 -40°C よりも大きく上昇している。

【0103】さらに図12(a)、(b)に、実施例2及び比較例2の薄膜キャパシタの分極対電界($P-E$)ヒステリシス曲線を示す。但しここでは、ソーヤタワー回路を使用し 5kHz の交流電圧を印加して室温でヒステリシス曲線を測定した。図12(a)から明らかなように、実施例2の薄膜キャパシタでは、印加される電界との関係で分極に明瞭にヒステリシスが現れている。即ち、本実施例の薄膜キャパシタにおいては、誘電体膜としての $(\text{Ba}_{0.44}\text{Sr}_{0.56})\text{TiO}_3$ の薄膜は強誘電性を示している。しかしながら、比較例2の薄膜キャパシタについては図12(b)に示される通り、分極にヒステリシスが現れず誘電体膜としての $(\text{Ba}_{0.24}\text{Sr}_{0.76})\text{TiO}_3$ の薄膜は強誘電性を示さない。このように実施例2の薄膜キャパシタにおいては、誘電体膜のキュリー温度が誘電性材料本来のキュリー温度よりも室温を越えて大きく上昇しており、これに伴いバルク材としては強誘電性を示さず常誘電性を示す誘電性材料に対して、薄膜化することで強誘電性が付与されている。

(実施例3) この実施例3の薄膜キャパシタにおいては、導電性を有する基板として Nb を $0.5\text{mol}\%$ 添加した SrTiO_3 (100)単結晶(以下、 STO-Nb 基板と略す)を使用した。誘電体膜としては、実施例2と同様に、式 $(\text{Ba}_{0.44}\text{Sr}_{0.56})\text{TiO}_3$ で表される組成の誘電体膜を形成した。

【0104】 STO-Nb 単結晶は、 SrTiO_3 と同様に立方晶に属し、その格子定数 a_a は約 0.3905nm である。一方、 $(\text{Ba}_{0.44}\text{Sr}_{0.56})\text{TiO}_3$ 誘電体も、本来立方晶に属し、その格子定数 a_a は 0.3946nm である。従って、基板と誘電体膜の格子定数の比 $a_a/a_p = 1.010$ であり、本発明で規定された範囲に属する。また、 Nb を添加することにより、 STO-Nb 基板の抵抗率は、約 $1\Omega\text{cm}$ 程度まで抵抗率が低下しており、誘電体膜の電極として十分作用させることができる。

【0105】 $(\text{Ba}_{0.44}\text{Sr}_{0.56})\text{TiO}_3$ の薄膜は、rfマグネトロンスパッタリングにより、基板温度 600°C で、 Ar と O_2 の混合ガス雰囲気中で成膜した。スパッタのターゲットとしては BaTiO_3 焼結体及び S

rTiO₂: 焼結体の二元ターゲットを使用した。誘電体膜の膜厚は、実施例と同様約230nmとした。また誘電体膜の組成、即ちBa, Sr, Tiの比率はICP発光分光法により分析したところ、所望の組成比を有する誘電体膜が得られていることが確認された。

【0106】最後に、誘電体膜の上に、上部電極として膜厚100nmのNiの薄膜をrfマグネトロンスパッタリング法にて成膜した。Niの膜は、フォトリソグラフィの手法と化学エッチングを用い、100μm×100μmの寸法に加工した。

【0107】このような方法により実施例3として作成された(Ba_{0.44}Sr_{0.56})TiO₃誘電体膜のX線回折図を、図13に示す。この図に示されるように、この(Ba_{0.44}Sr_{0.56})TiO₃からの回折線は、(001)面、(002)面、及び(003)面からのものに限られており、このことから、このようにして作成された(Ba_{0.44}Sr_{0.56})TiO₃誘電体膜においては(001)面が配向したペロブスカイト構造を有することが確認された。

【0108】次に、このX線回折パターンにおける(Ba_{0.44}Sr_{0.56})TiO₃の(003)の回折角から、(Ba_{0.44}Sr_{0.56})TiO₃のc軸の長さを算出したところ、c軸の長さは0.4125nmであった。この組成の誘電体における本来の格子定数は、0.3946nmであるから、STO-Nb基板の上にエピタキシャル成長させることによって、膜厚方向の格子定数が、4.5%伸びたことになる。

【0109】このように、膜厚方向の格子定数が伸びた理由は、実施例2において格子定数が伸びた理由と同じであると考えられる。即ち、誘電性材料として用いた(Ba_{0.44}Sr_{0.56})TiO₃の本来の格子定数が、基板として用いられたSTO-Nbの格子定数よりも、適度に大きいため、この誘電性材料をこの基板にエピタキシャル成長させる際に、界面において面内方向の格子定数が一致するように成長した結果、(Ba_{0.44}Sr_{0.56})TiO₃の格子定数は面内方向には縮み、これとは対照的に膜厚方向には格子定数が伸びたものと考えられる。

【0110】続いて、このようにして作成した薄膜キャパシタの誘電特性を評価した。図14は、本実施例即ち実施例3において作成した薄膜キャパシタの比誘電率のバイアス電界依存性の測定結果を示す図である。なお比誘電率は、交流電圧100kHz、振幅0.1Vを用いて容量を測定し、容量の値と誘電体膜の厚さ、キャパシタの面積から算出したものである。

【0111】比誘電率はバイアス電界の上昇時と下降時との間でヒステリシスを示した。このようなヒステリシスは、強誘電性を示唆する一つの指標である。強誘電性を確認するために、さらに容量の温度依存性を測定した。

【0112】図15は、この薄膜キャパシタにおける容量の温度依存性の測定結果である。容量は室温から温度を上げるに連れて上昇しており、キュリー温度が室温より高い温度にあることを示している。この結果は、この(Ba_{0.44}Sr_{0.56})TiO₃誘電体膜が強誘電性を持つことを示している。

【0113】(Ba_{0.44}Sr_{0.56})TiO₃は、もともとバルクにおいては室温では常誘電相に属することが知られている。従って本実施例において、(Ba_{0.44}Sr_{0.56})TiO₃の薄膜で強誘電性を示したのは、基板の格子定数より僅かに格子定数大きい(Ba_{0.44}Sr_{0.56})TiO₃誘電体膜を基板に対してエピタキシャル成長させた効果に他ならない。

(実施例4) 図16は、本発明の第4の実施例のダイナミックアクセスメモリ(DRAM)半導体記憶装置の断面図である。41は第1導電型半導体基板、42は素子間分離酸化膜、43はゲート酸化膜、44はワード線、45、47は層間絶縁膜、46は第2導電型不純物拡散層、48はビット線、49は平坦化用絶縁膜、50は研磨停止層、51は単結晶シリコンストレージノード、52はエピタキシャルバリア金属、53はエピタキシャル下部電極、54はエピタキシャル誘電体膜、55は上部電極である。

【0114】第4の実施例の工程順模式断面図を図17に示す。図17(a)はメモリセルのトランジスタ部及びビット線48を形成した後、平坦化用絶縁膜49及び研磨停止層50を形成した後の断面図である。ここでは、絶縁膜を平坦化するためにエッチバック法を用いても良いし、またCMP法などを用いても良い。なお、研磨停止層50としては、酸化アルミニウムなどの絶縁膜を用いることができる。

【0115】次いで、図17(b)に示すように、公知のフォトリソグラフィ及びプラズマエッチングにより、研磨停止層50の開孔部に引き続き第2導電型不純物拡散層46へのコンタクトホールを形成し、単結晶シリコンの選択成長技術によりストレージノード51を形成した。ストレージノード51はジクロルシランを原料ガスとしたLPCVD法により、成長温度820℃で単結晶シリコンを選択的に埋め込んだ。

【0116】次いで、図17(c)に示すように、CMPないしは機械的研磨により研磨停止層50上に形成されている単結晶シリコンを除去し、ニッケルの薄膜61をスパッタ法により形成した。その後、同図(d)に示すように、フォーミングガス中で500℃の熱処理により単結晶シリコン層の表面をニッケルと反応させて、バリア金属となる単結晶ニッケルシリサイド層を形成し、再びCMP法により研磨停止層50上に形成されているニッケル層を除去し、エピタキシャルバリア金属52とした。

【0117】次いで、図17(e)に示すように、フォ

トリソグラフィ及びプラズマエッチングにより、ニッケルシリサイド層52に浅いトレンチを形成した後、下部電極53となる白金薄膜をスパッタ法により形成した。その後、再びCMP法により研磨停止層50上に形成されている白金薄膜を除去した後、 SrTiO_3 エピタキシャル誘電体膜54及びニッケル上部電極55を順次形成した。なお、誘電体膜の形成には、公知のマグネトロンスパッタ法やMOCVD法などを使用することができる。

【0118】続いて、ここで形成した SrTiO_3 誘電体膜54について、 $\theta-2\theta$ 法によるX線回折測定を行った結果、(100)及びその倍数に相当するピークのみが観察され、(110)、(211)、(111)等に対応するピークは観測されなかった。

(実施例5) 図18は、実施例4とほぼ同様の構造であるが、常誘電性を示す誘電体膜の代わりにエピタキシャル成長させたときに生じる不整合歪を利用して強誘電性を歪み誘起させた強誘電体膜を形成し、強誘電体メモリ(FRAM)を形成した例である。41は第1導電型半導体基板、42は素子間分離酸化膜、43はゲート酸化膜、44はワード線、45、47は層間絶縁膜、46は第2導電型不純物拡散層、48はビット線、49は平坦化用絶縁膜、50は研磨停止層、51は単結晶シリコンストレージノード、52はエピタキシャルバリア金属、53はエピタキシャル下部電極、56はエピタキシャル誘電体膜、55は上部電極である。

【0119】第5の実施例の工程順模式断面図を図19に示す。図19(b)までは第4の実施例と同様であり、メモリセルのトランジスタ部及びビット線、平坦化用絶縁膜49及び研磨停止層50を形成し、不純物拡散層へのコンタクトホールに単結晶シリコンの選択成長技術によりストレージノード51を形成したところである。

【0120】次いで、図19(c)に示すように、CMPないしは機械的研磨により研磨停止層上に形成されている単結晶シリコンを除去し、フォトリソグラフィ及びイオンエッチングにより浅いトレンチを形成した。その後、同図(d)に示すように、エピタキシャルバリア金属52として反応性スパッタ法により600℃でTiNをエピタキシャル成長させ、研磨停止層50上については研磨、除去した。

【0121】次いで、図19(e)に示すように、フォトリソグラフィ及びプラズマエッチングにより、TiN層に浅いトレンチを形成した後、下部電極53となる白金薄膜をスパッタ法により形成した。その後、同図(f)に示すように、再びCMP法により研磨停止層50上に形成されている白金薄膜を除去した後、 $\text{Ba}_{0.5}\text{Sr}_{0.5}\text{TiO}_3$ エピタキシャル誘電体膜56をエピタキシャル成長させ、白金との不整合歪により歪み誘起強誘電性を付与し、さらにニッケル上部電極55を順次形

成した。

【0122】このように積層したエピタキシャル膜について、 $\theta-2\theta$ 法によるX線回折測定を行った結果、TiN、白金は(200)及びその倍数に相当するピークのみ、またBSTOも同様に(100)及びその倍数に相当するピークのみが観察され、いずれの膜からも(110)、(211)、(111)などに対応するピークは観測されなかった。また、各膜の(200)回折線についてロックンガープの測定を行った結果、TiN、白金、BSTOについてそれぞれ 0.8° 、 0.3° 、 0.5° の半値幅が得られ、非常にきれいに(100)面に配向した膜であることが確かめられた。

【0123】さらに、ソーヤータワー回路によりP-E曲線を測定したところ、強誘電性を示すヒステリシスループが観測され、また比誘電率の150℃までの温度依存性を測定したところ、室温から150℃まで比誘電率が増大してキュリー温度が150℃以上にあることが確かめられた。

(実施例6) 図20は、本発明の別の実施例の強誘電体メモリ(FRAM)半導体記憶装置の断面図である。41は第1導電型半導体基板、42は素子間分離酸化膜、43はゲート酸化膜、44はワード線、45、47は層間絶縁膜、46は第2導電型不純物拡散層、48はビット線、49、59は平坦化用絶縁膜、50は研磨停止層、51は単結晶シリコンストレージノード、53はエピタキシャル下部電極、55は上部電極、56はエピタキシャル誘電体膜、57は単結晶シリコン層、58はフッ化カルシウム膜からなるエピタキシャルバリア絶縁膜、60はアルミ配線である。

【0124】この実施例の工程順模式断面図を図21に示す。図21(a)はメモリセルのトランジスタ部及びビット線を形成した後、平坦化用絶縁膜49及び研磨停止層50を形成した後の断面図である。絶縁膜を平坦化するためにエッチバック法を用いても良いし、またCMP法などを用いても良い。ここでも研磨停止層50として酸化アルミニウムなどの絶縁膜を用いることができる。

【0125】次いで、図21(b)に示すように、公知のフォトリソグラフィ及びプラズマエッチングにより、キャパシタセル形成用の浅いトレンチ部及び第2導電型不純物拡散層46へのコンタクトホールを形成し、選択成長技術によりアモルファスシリコン層62を形成した。成膜技術は、ジシラン及びジボランを原料ガスとしたLPCVD法により、成長温度450℃でアモルファスシリコンを単結晶シリコン基板に対して選択的に成長させた。その後、フォーミングガス中で600℃の熱処理により、シリコン基板界面から固相成長により単結晶シリコンを成長させ、アモルファス層を全て単結晶化した。

【0126】次いで、図21(c)に示すように、CM

Pないしは機械的研磨により研磨停止層50上に形成されている単結晶シリコンを除去し、単結晶シリコンストレージノード51及び単結晶シリコン層57を形成した。その後、同図(d)に示すように、バリアとなるフッ化カルシウム膜58と下部電極53となる白金膜を順次基板加熱を行いながらスパッタ法によりエピタキシャル成長させた。そして、強誘電性材料となる $PbZrTiO_3$ のアモルファス膜を室温でスパッタ法により形成した後、700℃1分間のランプ加熱により固相成長によりエピタキシャル誘電体膜56とした。その後、上部金属55を形成し、公知のフォトリソグラフィ及びプラズマエッチングにより、キャパシタセル形状に加工した。

【0127】次いで、図21(e)に示すように、平坦化用絶縁膜59を形成し、表面をCMP法ないしはエッチバック法により平坦化した。その後、同図(f)に示すように、フォトリソグラフィ及びプラズマエッチングにより単結晶シリコンストレージノード51及びキャパシタの上部電極55とのコンタクトホールを開孔し、アルミ配線60を形成した。

【0128】続いて、ここでのエピタキシャル膜について、 $\theta-2\theta$ 法によるX線回折測定を行った結果、(100)及びその倍数に相当するピークのみが観察され、(110)、(211)、(111)等に対応するピークは観測されなかった。

(実施例7) 図22は本発明の第7の実施例に係る半導体記憶装置の薄膜キャパシタ部分の構成を示す断面図である。Si単結晶基板71上にマグネトロンスパッタを用いて公知の方法により400nmの TiN 膜72をエピタキシャル成長させ、この上に下部電極73として200nmの $Ca_{0.5}Y_{0.5}TiO_3$ 膜をマグネトロンスパッタを用いて成膜する。このときターゲットとしては $CaTiO_3$ 及び $YTlO_3$ を用い、成膜雰囲気はAr、酸素の混合ガス中、基板温度は200℃である。

【0129】さらにこの下部電極73上に $Ba_{0.5}Sr_{0.5}TiO_3$ 誘電体膜74を200nm、さらにその上部に上部電極75として $Ca_{0.5}Y_{0.5}TiO_3$ 膜を200nm、同様の手法を用いて堆積した。この時点では下部電極73、上部電極75ならびに誘電体膜74の各層は非晶質である。これを赤外線ランプアニール装置を用いて700℃1分間のアニールを行い、上下電極73、75、誘電体膜74を単結晶化した。このとき、 $Ca-Y-Ti-O$ 膜は単結晶膜であり、c軸が基板に垂直に成長していることをX線回折を用いて確認した。

【0130】こうして作成したキャパシタの電流電圧特性を室温で測定した結果を、図23に示す。図に示すように電流電圧特性は分極方向によって大きなヒステリシス特性を示し、 $\pm 1\sim 3V$ 付近では分極方向によって流れる電流が1000倍も異なる良好なメモリ機能を有することが分かる。従って、このキャパシタを用いて、抗

電界以上の電圧を印加して分極を反転させることで1ビット情報を書き込み、また抗電界以下のバイアス電圧を印加して流れる電流値が分極方向により大きく異なることを利用して非破壊読み出しを行う不揮発性半導体記憶装置を作成することができる。

(実施例8) 実施例7と同様の手法を用いて下部電極に $Ca_{0.5}Y_{0.5}TiO_3$ 200nm、誘電体膜として $Ba_{0.5}Sr_{0.5}TiO_3$ 100nmを堆積し、同様のアニール方法でエピタキシャル膜を作成した。この上部に上部電極としてPtを堆積して作成したキャパシタの電流電圧特性を図24に示す。このキャパシタにおいても実施例7と同様、分極方向によって流れる電流が大きな変化を示し、これを用いて不揮発性半導体記憶装置を得ることができる。

(実施例9) 実施例7と同様の手法で下部電極として $Ca_{0.5}Y_{0.5}TiO_3$ 、誘電体膜に $Ba_{0.45}La_{0.05}Sr_{0.5}TiO_3$ 、上部電極に $Ca_{0.5}Y_{0.5}TiO_3$ をそれぞれ200nmの膜厚で堆積して熱処理によりエピタキシャル積層膜を得た。このキャパシタの電流電圧特性を図25に示す。図に示すように、このキャパシタも分極方向によって大きく異なる電流値を示し、かつ順方向の電流値が著しく増大していることが分かる。このように誘電体膜に不純物を添加して電気伝導度を変化させることにより、大きなリーク電流を得ることができ、このキャパシタを用いて不揮発性半導体記憶装置を構成した際には、より高速の読み出しを行うことが可能になると共に、耐疲労特性も向上する。

(実施例10) 本実施例は、前記図20に示した装置構造において、誘電体膜におけるリークを動作原理として不揮発性半導体記憶装置を作成したものである。

【0131】図20に示すように、スイッチングトランジスタとキャパシタからなるメモリセルを使用すれば、ワード線とビット線により選択されたスイッチングトランジスタを通してキャパシタの強誘電体膜の抗電界以上の電圧を印加することにより、正又は負の方向に分極させて1ビットの情報を書き込むことが可能になる。また、同様にキャパシタ素子に抗電界以下の適当な電圧を印加すると、分極方向により読み出し電流に大きな差が生じるために、書き込まれた情報を非破壊で読み出すことが可能になる。

(実施例11) 本実施例では、本発明による薄膜キャパシタを集積化した誘電体メモリの回路構成について説明する。

【0132】本実施例においては、前記図7に示したような構成のメモリセルが、半導体基板上にマトリクス状に複数配置されている。1つのデジタル信号を記憶するメモリセルを一つのキャパシタと一つのトランジスタから構成することも可能であるが、ここでは説明を簡単にするために2つのキャパシタと2つのトランジスタを使用する場合について記述する。図26にこのような強誘

電体メモリの回路構成を示す。

【0133】1つのキャパシタの一方の端子は、MOSトランジスタのソース、ドレインを介してビット線(BL)に接続され、もう一方の端子はドライブ線(DL)に接続される。もう1つのキャパシタについても、同様に一方の端子をMOSトランジスタのソース、ドレインを介してビット線(BL')に接続され、もう一方の端子をドライブ線(DL)に接続される。なお、BLとBL'の2本のビット線は、対となって同一のセンスアンプ73、74に接続される。また、ドライブ線については共通な一本の線で良く、ドライブ線の駆動回路71に接続される。

【0134】キャパシタの一方の端子に接続されたMOSトランジスタのゲートは、ワード線(WL)に接続される。同一セル内部の2つのMOSトランジスタのゲートは同一のワード線WLに接続される。ワード線WLは、ワード線駆動回路72に接続される。

【0135】図26に示した回路構成においては、ビット線対及びドライブ線が平行に配置され、マトリクス状に配置されている複数のメモリセルのうち、同じ行にある複数のメモリセルによって共有されている。一方、ワード線はビット線、ドライブ線と直交するように配置しており、マトリクス状に配置された複数のメモリセルのうち、同じ列にある複数のメモリセルによって共有されている。

【0136】それぞれのビット線対に1つずつ、センスアンプ73、74が接続されており、個々のセンスアンプ73、74は、センスアンプ活性に信号 ϕ_{act} によって制御されている。

【0137】さらにビット線対には、入出力(I/O)接続回路75、76を介して、BLとI/O、BL'とI/O'がそれぞれ接続される。BLとI/O線の接続は、I/O接続信号 $\phi_{I/O}$ によって制御される。

【0138】次に、このような構成の強誘電体メモリの中の1つのメモリセルに、デジタル信号を記憶させるための書き込み方法について、図27のタイミングチャートを用いて説明する。

【0139】入出力線I/O及びI/O'には、予め外部から書き込むべき信号に対応する相補的な電位が与えられているものとする。例えば、ここでは、I/O線に5V、I/O'線に0Vの電位が書き込むべき情報に対応する電位として設定されているものとする。

【0140】ビット線対は、図27には図示しないプリチャージ回路によって予め等電位に保たれている。書き込み動作に入る前に、書き込むべきメモリセルの位置を示すアドレス情報に対応する特定の行において、プリチャージ信号 ϕ_{pre} を解除して、BL及びBL'をあらゆる電圧源から切り離された状態(フローティング状態)にする。なおこのとき他の行のビット線対については、プレチャージ状態を解除しない。

【0141】しかる後に、BLとI/O及びBL'とI/O'を接続するために、書き込むべきアドレスに基づき特定の行において、 $\phi_{I/O}$ 信号を活性化する。この結果、この行のBLはI/Oと、BL'はI/O'と、それぞれ等電位になる。即ち、書き込むべき情報に対応する電位が、ビット線対に供給される。

【0142】この段階で導入されたビット線対の電位を安定化するために、このビット線対に接続するセンスアンプを活性化する。このとき、BLの電位は、活性化されたセンスアンプによりキャパシタの分極反転に十分な高い電圧 V_{write} に固定される。

【0143】次に、書き込むべき位置を示すアドレス情報に対応する特定の列において、ワード線にトランジスタをonにするために必要な電位を与える。この結果、この列の該ワード線に接続するMOSトランジスタがon状態になり、キャパシタとビット線対とが接続状態になる。当然このときに該当しない他の列においては、ワード線に信号を送らないので、キャパシタとビット線は電氣的に切り離されたままの状態にある。

【0144】ドライブ線(DL)の電位は、先ず0Vに固定され、次にある時間の経過の後にドライブ線にキャパシタの分極反転に十分な高い電圧 V_{write} を与える。0Vに固定されている間に、BL(電位: V_{write})との間に生じた電位差 V_{write} により、BLとDL間に接続されたキャパシタに書き込みが生じるが、このときBL'(電位:0)とDL(電位:0)は同電位なので、BL'とDL間に接続されたキャパシタには変化が起こらない。次に、DLに V_{write} を与えている間に、BL'(電位:0)との間に生じた電位差 $-V_{write}$ により、BL'とDL間に接続されたキャパシタに書き込みが生じるが、このときBL(電位: V_{write})とDLは等電位なので、BLとDL間に接続されたキャパシタには変化が起こらない。この結果、BL線に接続されたキャパシタには電位差 V_{write} による残留分極、BL'線に接続されたキャパシタには電位差 $-V_{write}$ による残留分極が蓄えられる。

【0145】しかる後に、ワード線信号を非選択状態に戻し、センスアンプの活性化を解除し、ビット線のプレチャージを開始することにより、書き込みの動作は終了する。

【0146】書き込み動作終了後の保持状態においては、BL、BL'はプリチャージ回路により等電位に保持される。このとき、ビット線対の電位とDL電位も等電位に保つことが望ましい。また、全てのワード線は非選択状態に保たれるために、キャパシタはビット線対から電氣的に切り離された状態で保持される。キャパシタに接続するMOSトランジスタは、電源が供給されない状態ではOFFであり、従ってキャパシタに残留分極の形として書き込まれた情報は、メモリ回路に電源が供給されない場合にも、デジタル情報を保持することができる。

【0147】次に、このような方法でメモリ回路の中の1つのメモリセルに記憶された、デジタル情報を読み出す方法について、図28の読み出しタイミングチャートを用いて説明する。

【0148】まず、ビット線対の電位をプリチャージ回路を用いて一定の電位に充電する。次に、プリチャージを解除して、ビット線をフローティング状態にする。次いで、アドレスに対応した列の一本のワード線(WL)を選択して、ワード線に接続するMOSトランジスタをon状態にする。これにより、メモリセルのキャパシタと、ビット線対が電気的に接続される。このとき、これ以外の選択されないWLに接続するトランジスタについては、offの状態が保たれる。

【0149】次いで、アドレスに対応した行のドライブ線を選択し、読み出し用の低い電位Vreadをドライブ線に与える。これにより、メモリセル内の2つのキャパシタにVreadが加わることになる。この2つのキャパシタには、互いに異なる方向の残留分極が蓄積されているが、この残留分極はVreadの低い電圧によって反転することはない。従ってこの読み出しは、キャパシタの分極の向きを変えることなく、非破壊で読み出すことが可能である。

【0150】また、他の実施例で説明したように、本発明によるキャパシタは、残留分極の方向によってリーク電流の値が100~1000倍異なる。従って、ビット線BLとBL'に流れ込む電流の値は、キャパシタに書き込まれた分極の向きにより異なる。結果的にビット線対に対して若干異なる電位を与える。

【0151】ビット線対に十分な電位差が生じた段階で、WLの電位を戻し、キャパシタと、ビット線対を電気的に切り離す。この後、DL線の電位も元に戻す。センスアンプを活性化する前にキャパシタとビット線を切り離しても構わないのは、本発明のキャパシタが非破壊で情報を読み出すことができるためである。このようなタイミングの取り方は、キャパシタの蓄積電荷量を読み出す方式の強誘電体メモリにおいては不可能である。

【0152】ここで、 ϕ_{act} を選択することにより、センスアンプを活性する。これにより、ビット線対の電位差を増幅し、さらに固定する。このとき、既にメモリセルのトランジスタがoffになっているため、増幅された電位が、キャパシタの分極に影響を与えない。

【0153】ビット線に読み出された電位は、 $\phi I/O$ に信号を送ることにより、 I/O 及び I/O' に転送することが可能である。情報が I/O 、 I/O' に転送された後、ビット線対と入出力線対は切り離される。その後、ビット線対は再びプリチャージ状態に戻され、情報の保持状態に戻される。

【0154】

【発明の効果】以上詳述したように本発明(請求項1~11)の第1によれば、誘電体膜の組成の変動等を伴う

ことなく、強誘電体メモリ等に用いられる薄膜キャパシタにおいて残留分極及び残留分極の温度依存性を改善することができ、またバルク材としては強誘電性を示さない誘電性材料について、誘電性材料の組成によっては強誘電性の付与された強誘電体薄膜を形成することや、容量が大きくしかも容量の温度依存性が良好で、例えばDRAMに好適に用いられ得る薄膜キャパシタを実現すること等が可能となり、その工業的価値は大なるものがある。

【0155】また、本発明(請求項12)の第2によれば、エピタキシャル誘電体膜の使用により、蓄積電荷量の増大、強誘電性の誘起、メモリセル間でのキャパシタの容量のばらつきの低減、誘電体膜と下地膜の相互拡散の低減などを実現することができ、高集積化した半導体記憶装置を実現が可能になり、本発明の工業的価値は極めて大きい。

【0156】また、本発明(請求項13)の第3によれば、薄膜キャパシタの抗電界以下の電界を印加して行う非破壊読み出しが行えること、さらに整合性が良い誘電体膜・電極接合が得られることにより、強誘電性を示す誘電体膜の分極方向に応じた情報の書き込みが行われる、いわゆる強誘電体メモリにおいて、情報の書き込み、読み出しに伴う薄膜キャパシタの残留分極の低下や抗電界の低下といった疲労が少ない半導体装置を実現することができ。

【図面の簡単な説明】

【図1】本発明の薄膜キャパシタの構造を示す平面図及び縦断面図。

【図2】実施例1及び比較例1の薄膜キャパシタの容量の温度依存性を示す特性図。

【図3】実施例1及び比較例1の薄膜キャパシタの分極対電界(P-E)ヒステリシス曲線を示す特性図。

【図4】実施例1及び比較例1の薄膜キャパシタの残留分極の温度依存性を示す特性図。

【図5】本発明の半導体記憶装置におけるMOSトランジスタの構造を示す平面図と縦断面図。

【図6】本発明の半導体記憶装置における薄膜キャパシタの構造を示す平面図と縦断面図。

【図7】本発明の半導体記憶装置の構造を部分的に示す縦断面図。

【図8】図6に示される半導体記憶装置の等価回路図。

【図9】本発明の別の半導体記憶装置の等価回路図。

【図10】(Ba_{0.44}Sr_{0.56})TiO₃の薄膜のX線回折図。

【図11】実施例2の薄膜キャパシタの容量の温度依存性を示す特性図。

【図12】実施例2及び比較例2の薄膜キャパシタの分極対電界(P-E)ヒステリシス曲線を示す特性図。

【図13】実施例3における(Ba_{0.44}Sr_{0.56})TiO₃薄膜のX線回折を示す図。

【図 1 4】実施例 3 において作成した薄膜キャパシタの比誘電率のバイアス電界依存性を示す図。

【図 1 5】実施例 3 において作成した ($\text{Ba}_{0.44}\text{Sr}_{0.56}$) TiO_3 薄膜キャパシタにおける容量の温度依存性の測定結果を示す図。

【図 1 6】第 4 の実施例のダイナミックアクセスメモリ (DRAM) 半導体記憶装置の断面図。

【図 1 7】第 4 の実施例の DRAM の製造方法を示す工程断面図。

【図 1 8】第 5 の実施例に係わる強誘電体メモリを示す断面図。

【図 1 9】第 5 の実施例の強誘電体メモリの製造方法を示す工程断面図。

【図 2 0】第 6 の実施例に係わる強誘電体メモリを示す断面図。

【図 2 1】第 6 の実施例の強誘電体メモリの製造方法を示す工程断面図。

【図 2 2】第 7 の実施例に係わる半導体記憶装置の薄膜キャパシタ部分の構成を示す断面図。

【図 2 3】第 7 の実施例におけるキャパシタの電流電圧特性を示す図。

【図 2 4】第 8 の実施例におけるキャパシタの電流電圧特性を示す図。

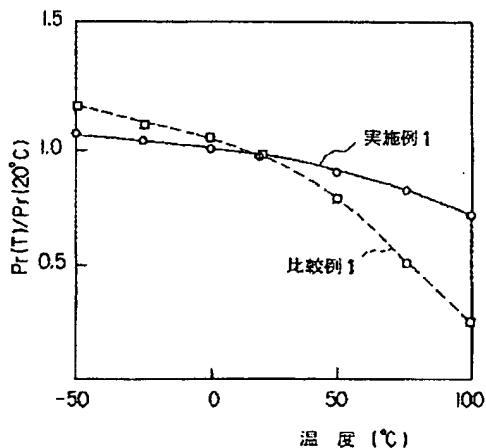
【図 2 5】第 9 の実施例におけるキャパシタの電流電圧特性を示す図。

【図 2 6】第 1 1 の実施例に係わる強誘電体メモリの回路構成を示す図。

【図 2 7】第 1 1 の実施例における書き込み方法を説明するためのタイミングチャート。

【図 2 8】第 1 1 の実施例における読出し方法を説明するためのタイミングチャート。

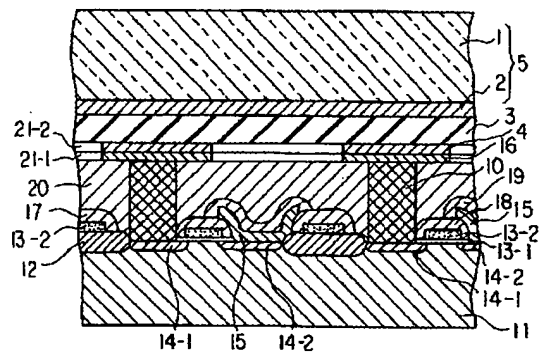
【図 4】



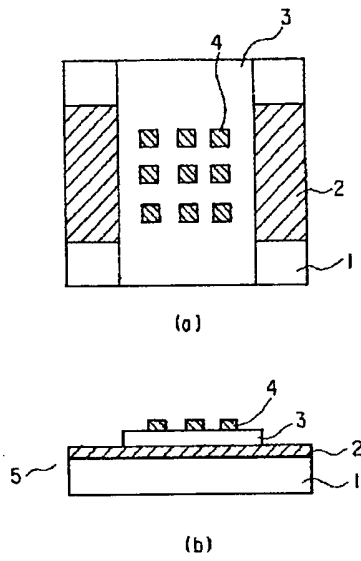
【符号の説明】

- 1…単結晶基板
- 2…下部電極
- 3…誘電体膜
- 4…上部電極
- 5…導電性基板
- 10…コンタクト部
- 11…Si 基板
- 13…ワード線
- 15…ビット線
- 16…取り出し電極
- 22…ドライブ線
- 24…スイッチングトランジスタ
- 25…薄膜キャパシタ
- 26…ワード線駆動回路
- 27…ドライブ線駆動回路
- 28…センスアンプ
- 41…第 1 導電型半導体基板
- 44…ワード線
- 46…第 2 導電型不純物拡散層
- 48…ビット線
- 50…研磨停止層
- 51…単結晶シリコンストレージノード
- 52…エピタキシャルバリア金属
- 53…エピタキシャル下部電極
- 54…エピタキシャル誘電体膜
- 55…上部電極
- 56…エピタキシャル誘電体膜
- 57…単結晶シリコン層
- 58…フッ化カルシウム膜
- 60…アルミ配線

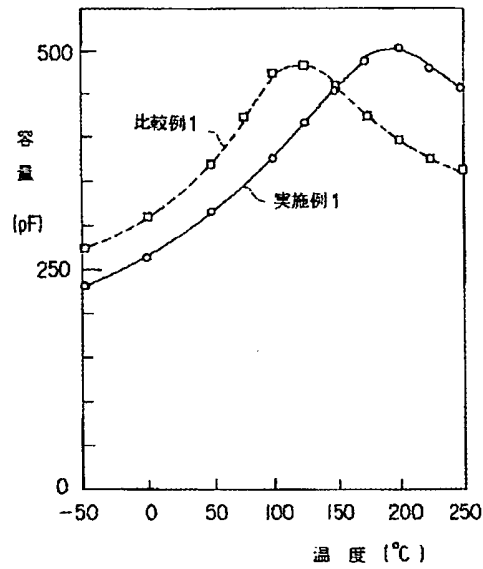
【図 7】



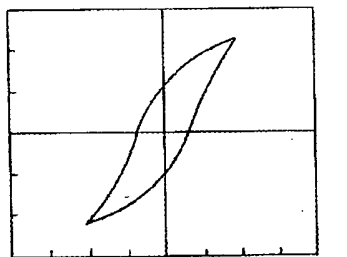
【図1】



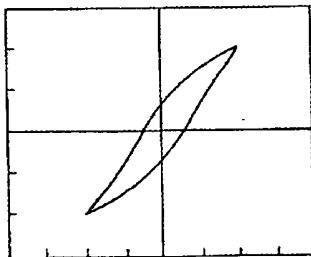
【図2】



【図3】

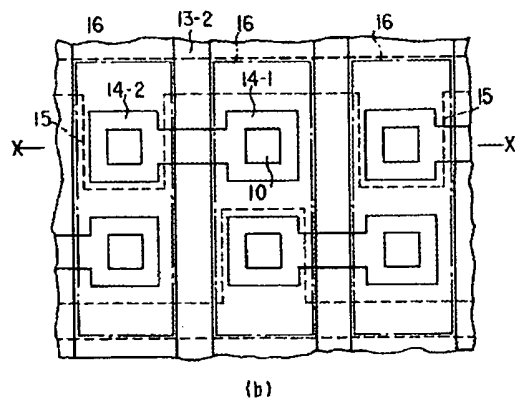
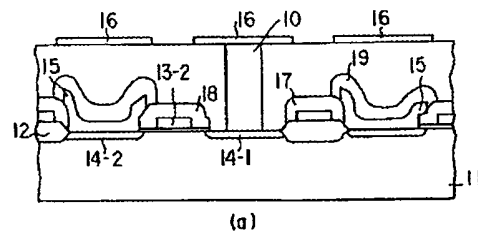


(a) X軸: 20MV/div
Y軸: 0.1C/m²div

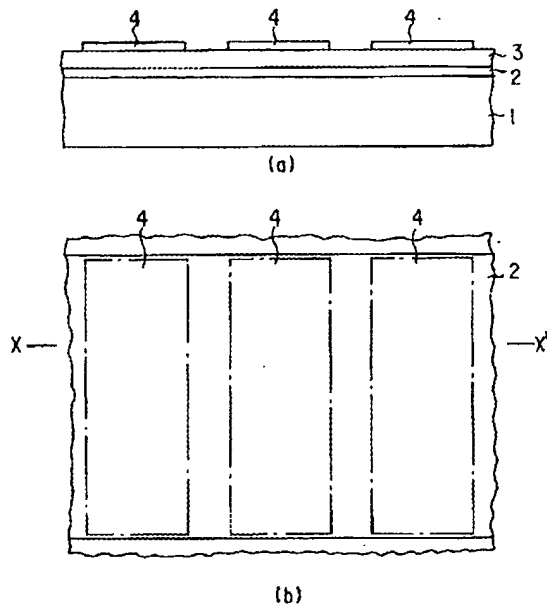


(b) X軸: 20MV/div
Y軸: 0.1C/m²div

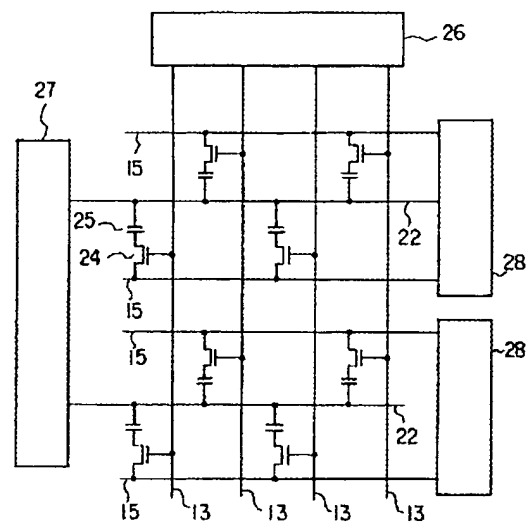
【図5】



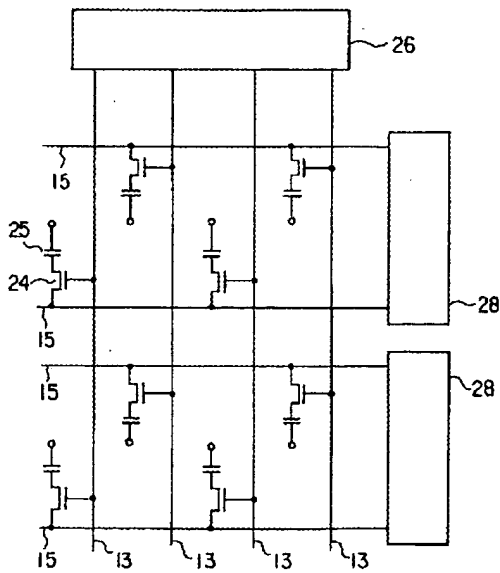
【図6】



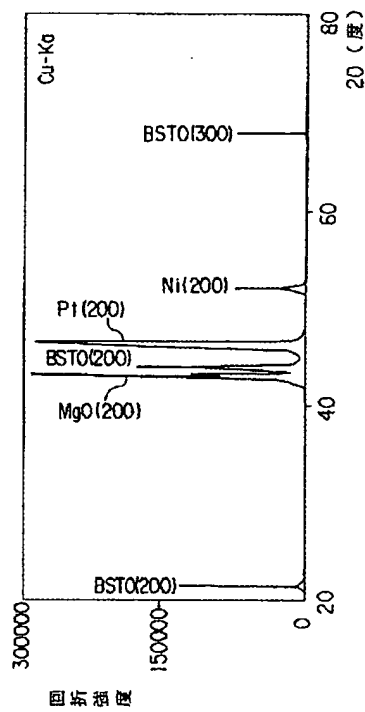
【図8】



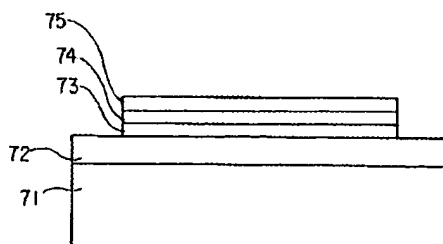
【図9】



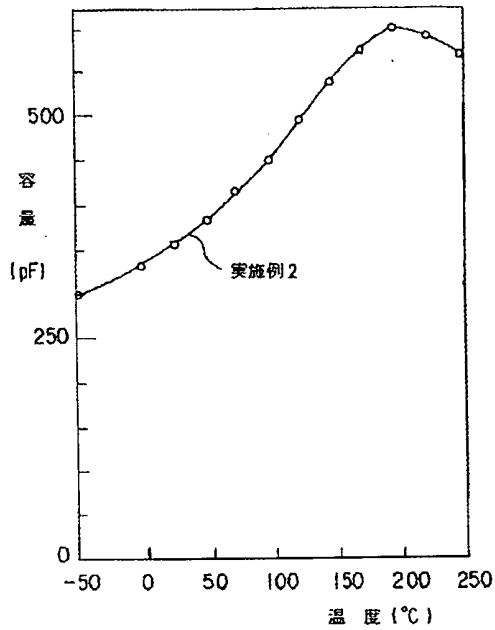
【図10】



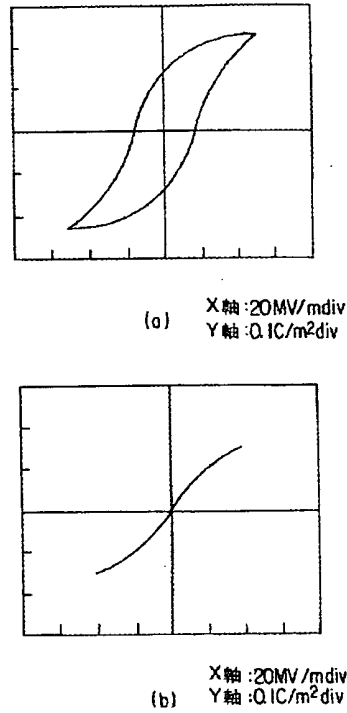
【図22】



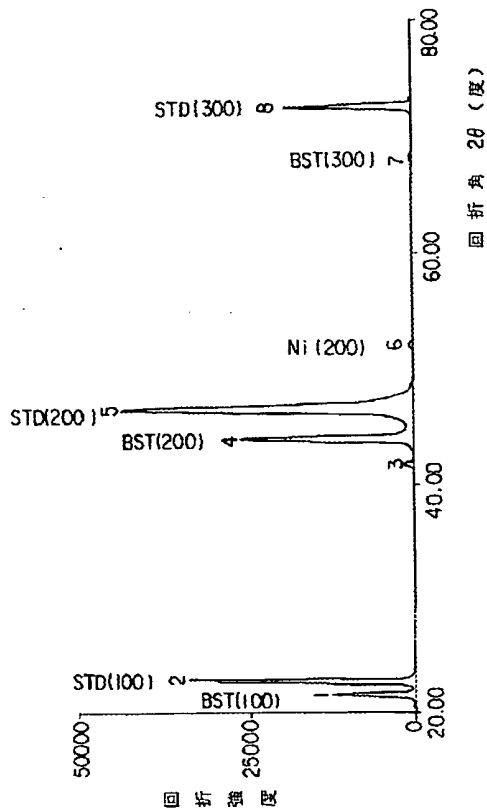
【図11】



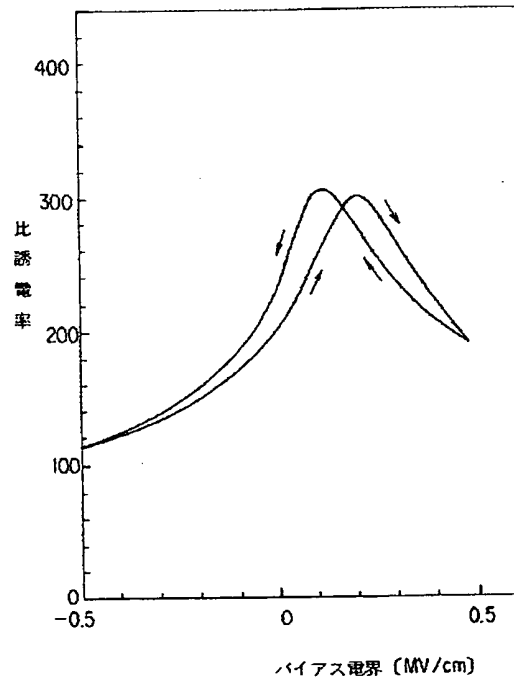
【図12】



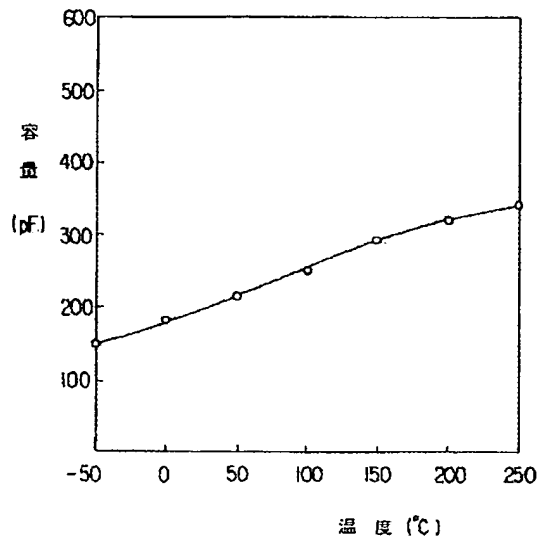
【図13】



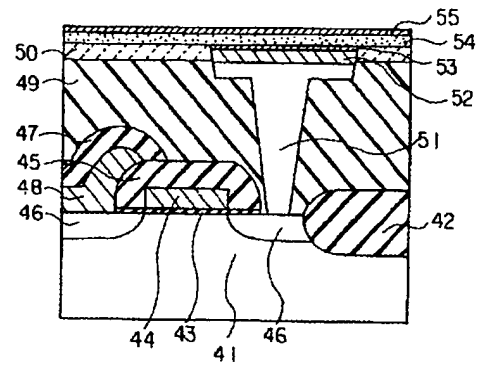
【図14】



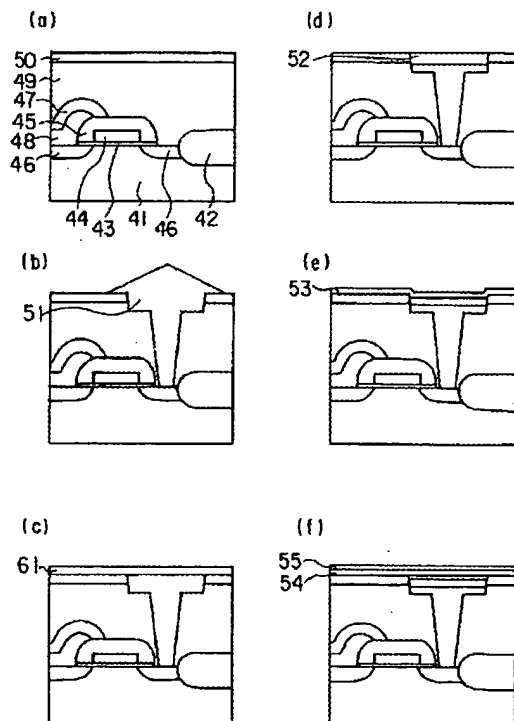
【図15】



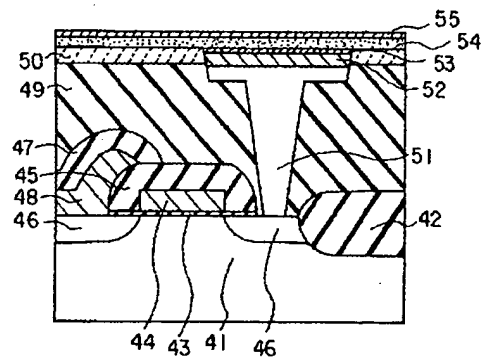
【図16】



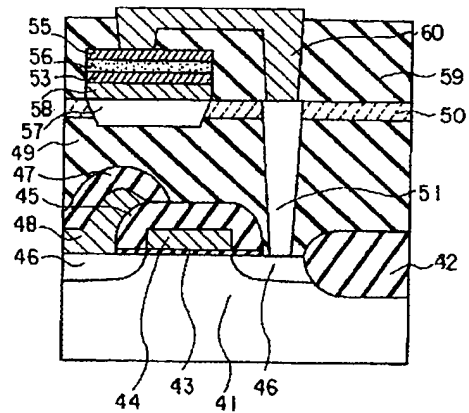
【図17】



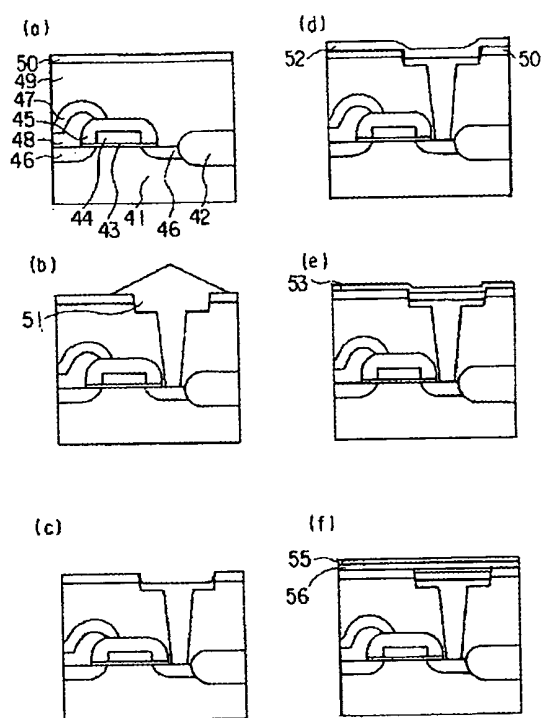
【図18】



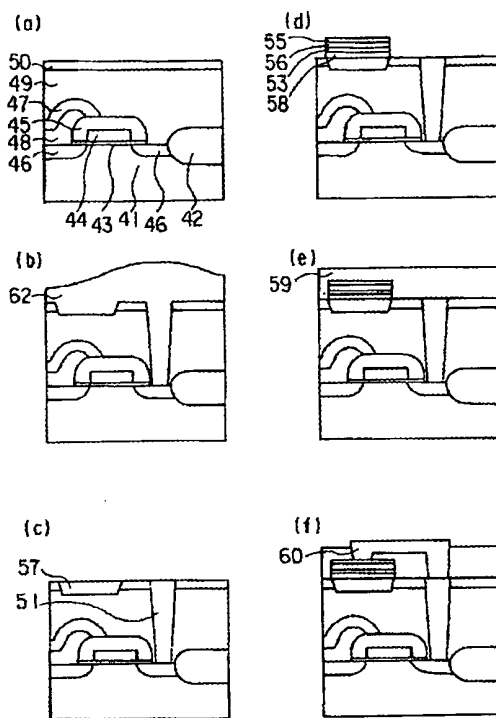
【図20】



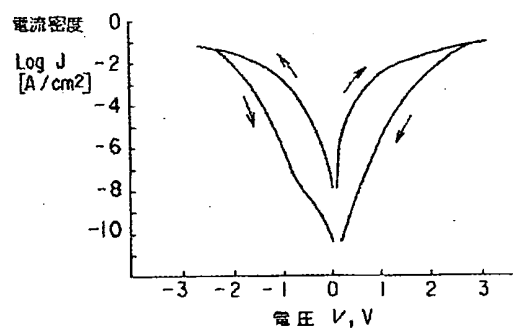
【図19】



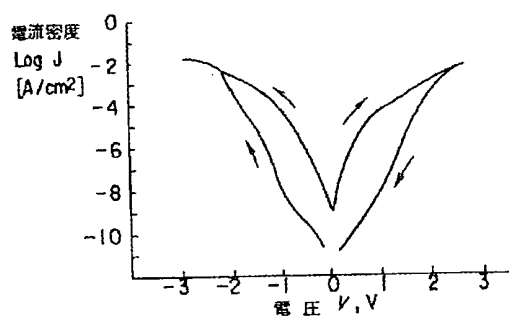
【図21】



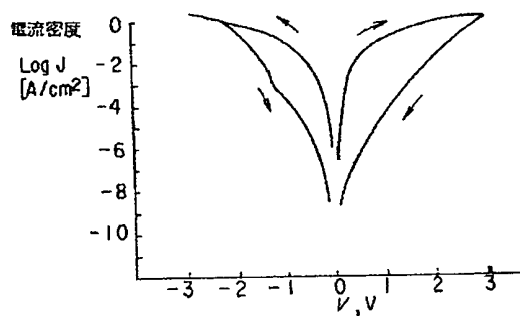
【図23】



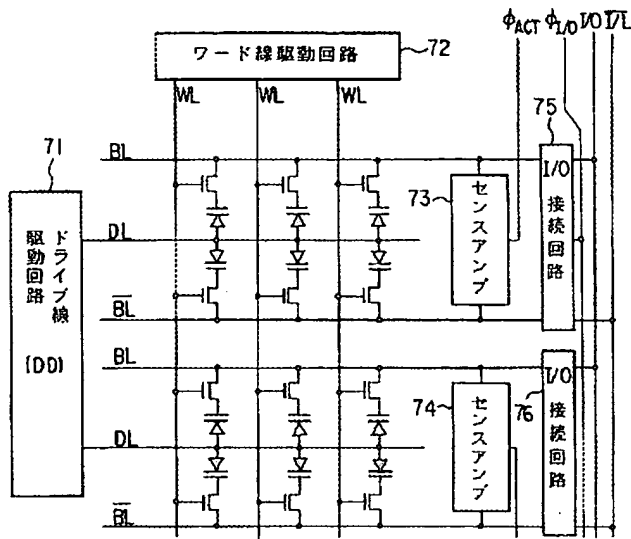
【図24】



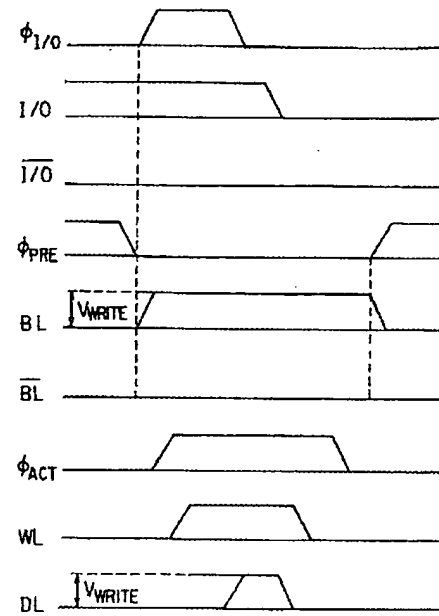
【図25】



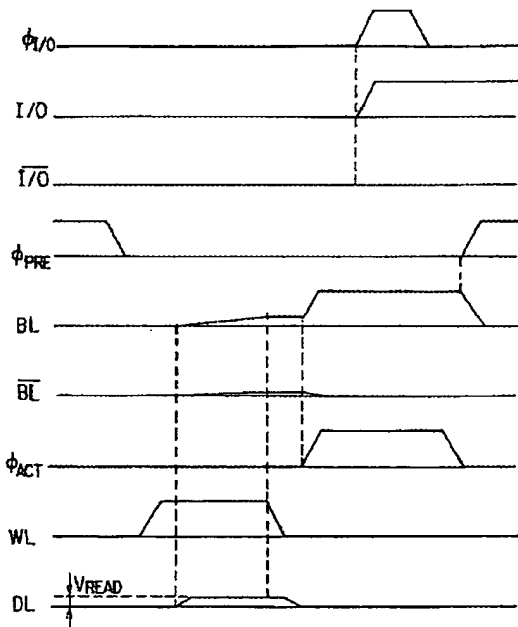
【図26】



【図27】



【図28】



フロントページの続き

(51) Int. Cl. 6
H01L 21/822

識別記号

庁内整理番号

F I

技術表示箇所

7735-4M

H01L 27/10

621 Z

(72)発明者 川久保 隆
神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝研究開発センター内

(72)発明者 福島 伸
神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝研究開発センター内
(72)発明者 佐野 賢也
神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝研究開発センター内